



(19)

(11) Publication number: 11345888 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 11108819

(51) Intl. H01L 21/8247 H01L 29/788 H01L 29/792  
Cl.: H01L 27/115

(22) Application date: 16.04.99

(30) Priority: 16.04.98 US 98 61024

(43) Date of application publication: 14.12.99

(84) Designated contracting states:

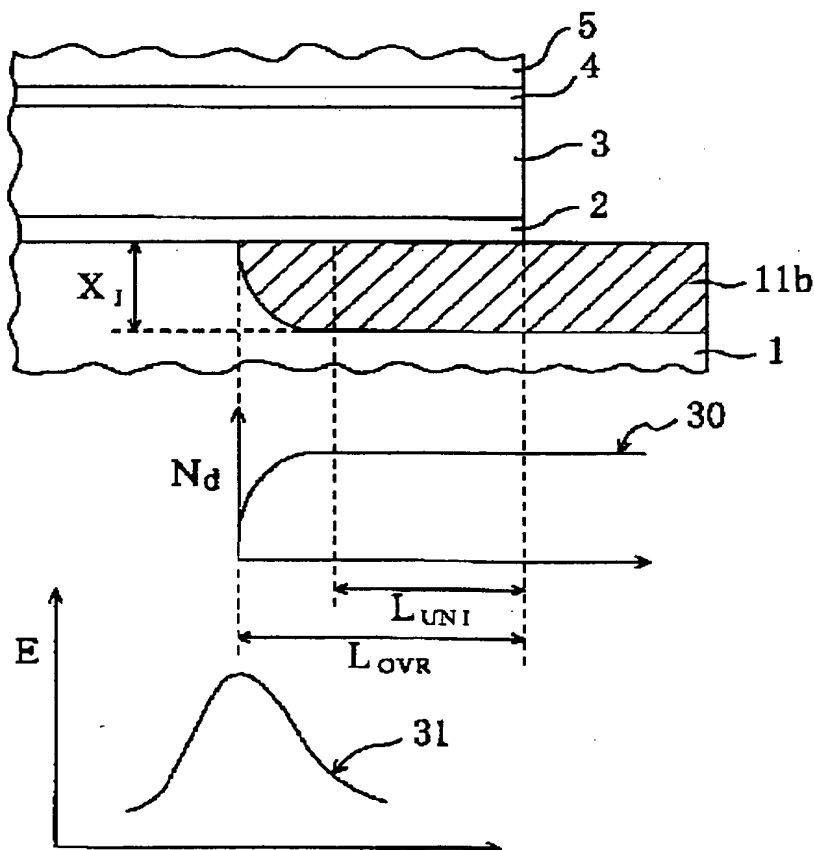
(71) MATSUSHITA ELECTRIC IND CO LTD  
Applicant:HALO LSI DESIGN & DEVICE  
TECHNOL INC(72) Inventor: HORI ATSUSHI  
KATO JUNICHI  
ODANAKA SHINJI  
OGURA SEIKI(74)  
Representative:(54) NONVOLATILE  
SEMICONDUCTOR  
MEMORY DEVICE AND  
MANUFACTURE THEREOF

## (57) Abstract:

PROBLEM TO BE SOLVED: To realize increase in the writing rate and reduction of the writing voltage by improving the injection efficiency of channel hot electrons.

SOLUTION: In this nonvolatile semiconductor memory device, in which a floating gate electrode 3 is overlapped with a part of a drain region 11b, a region having a constant impurity concentration  $N_d$  horizontally laterally along a channel longitudinal direction is included in the overlapped part. Since the peak position in an intensity distribution 31 of a channel longitudinal electric field generated in the vicinity of a surface of a silicon substrate 1 is much shifted inward of the drain-side edge of the floating gate electrode 3 in a data write mode, hot electrons generated can be injected efficiently into the floating gate electrode 3.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-345888

(43) 公開日 平成11年(1999)12月14日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/8247  
29/788  
29/792  
27/115

H 0 1 L 29/78  
27/10

3 7 1  
4 3 4

審査請求 有 請求項の数35 O L (全 24 頁)

(21) 出願番号 特願平11-108819

(22) 出願日 平成11年(1999) 4 月16日

(31) 優先権主張番号 0 9 / 0 6 1 0 2 4

(32) 優先日 1998年 4 月16日

(33) 優先権主張国 米国 (U S)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(71) 出願人 598165507

ヘイロー エルエスアイ デザイン アンド  
デバイステクノロジー インコーポレ  
イテッド

アメリカ合衆国, ニューヨーク州 12590,  
ワッピンジャーズ フォールス, オールド  
ホープウェル ロード 140

(74) 代理人 弁理士 前田 弘 (外 1 名)

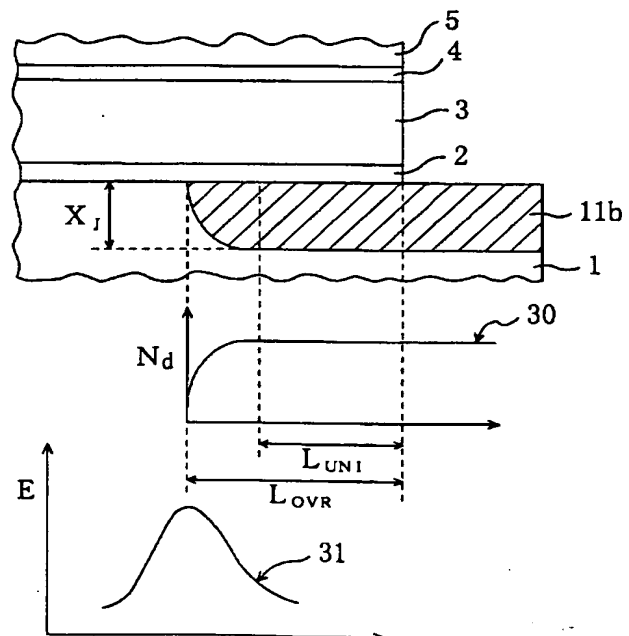
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置およびその製造方法

(57) 【要約】

【課題】 チャネルホットエレクトロンの注入効率を向上し、書き込み速度の向上または書き込み電圧の低化をはかる。

【解決手段】 浮遊ゲート電極3がドレイン領域11bの一部分とオーバーラップしている不揮発性半導体記憶装置において、チャネル長方向に沿って水平横方向に不純物濃度 $N_d$ が一定の領域をオーバーラップ部分内に有する。データ書き込み時にシリコン基板1の表面付近に形成されるチャネル長方向電界の強度分布31のピーク位置が浮遊ゲート電極3のドレイン側エッジより内部に大きくシフトしているため、生成されたホットエレクトロンが効率良く浮遊ゲート電極3に注入される。



## 【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体領域と、  
前記半導体領域上に形成された絶縁膜と、  
前記絶縁膜上に形成されたゲート電極と、  
前記半導体領域内に形成された第 2 導電型のソース領域と、  
前記半導体領域内に形成された第 2 導電型のドレイン領域と、  
前記半導体領域内に形成され、前記ソース領域と前記ド  
レイン領域との間に位置するチャンネル領域とを備えた不  
揮発性半導体記憶装置であって、  
前記ゲート電極は、前記ドレイン領域の一部分にオーバ  
ーラップしており、  
前記ゲート電極によってオーバーラップされている前記  
ドレイン領域の前記一部分は、不純物濃度がチャンネル長  
方向に沿ってほぼ一定の均一領域を含んでいる、不揮発  
性半導体記憶装置。

【請求項 2】 前記ドレイン領域の前記均一領域の前記  
チャンネル長方向に沿って計測したサイズは、50 nm 以  
上である請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 チャンネル長が 0.4  $\mu$ m 以下であり、か  
つ、前記ドレイン領域の前記一部分の前記チャンネル長方  
向に沿って計測したサイズが、80 nm 以上である請求  
項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】 前記ドレイン領域の前記一部分の前記チ  
ャネル長方向に沿って計測したサイズは、前記ドレイン  
領域の前記一部分の厚さよりも大きい請求項 1 に記載の  
不揮発性半導体記憶装置。

【請求項 5】 前記ドレイン領域の前記一部分に含まれ  
る前記均一領域の不純物濃度は、前記ドレイン領域のう  
ち前記ゲート電極がオーバーラップしていない領域の不  
純物濃度よりも低い請求項 1 に記載の不揮発性半導体記  
憶装置。

【請求項 6】 前記ドレイン領域は、  
前記半導体領域の表面に形成された第 1 の不純物拡散層  
と、  
前記第 1 の不純物拡散層に電気的に接続され、前記第 1  
の不純物拡散層の不純物濃度よりも高い不純物濃度を持  
つ第 2 の不純物拡散層とを含んでおり、  
前記ドレイン領域の前記一部分は、前記第 1 の不純物拡  
散層から形成されており、  
前記第 2 の不純物拡散層は、前記ドレイン領域にドレ  
イン電圧を供給する配線とコンタクトしており、前記ド  
レイン電圧を前記第 1 の不純物拡散層に伝達する機能を有  
する請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】 前記ドレイン領域は第 3 の不純物拡散層  
を含み、  
前記第 3 の不純物拡散層は、前記半導体領域の表面に形  
成され、前記第 1 の不純物拡散層と前記第 2 の不純物拡  
散層とを電気的に相互接続し、前記第 1 の不純物拡散層

の不純物濃度よりも高く前記第 2 の不純物拡散層の不純  
物濃度よりも低い不純物濃度を持つ、請求項 6 に記載の  
不揮発性半導体記憶装置。

【請求項 8】 前記ドレイン領域の前記第 3 の不純物拡  
散層の少なくとも一部は、前記ゲート電極によってオー  
バーラップされている請求項 7 に記載の不揮発性半導体  
記憶装置。

【請求項 9】 前記チャンネル領域は、前記ドレイン領域  
の前記一部分に接する位置に形成された第 1 導電型の不  
純物拡散層を含んでおり、  
前記第 1 導電型の不純物拡散層は、前記第 1 導電型の半  
導体領域の他の部分の不純物濃度よりも高い不純物濃度  
を有している、請求項 1 から 8 の何れかに記載の不揮発  
性半導体記憶装置。

【請求項 10】 前記ドレイン領域は、前記第 2 の不純  
物拡散層と前記半導体領域との間に設けられた第 2 導電  
型の低濃度不純物拡散層を含み、  
前記低濃度不純物拡散層は、前記第 3 の不純物拡散層の  
不純物濃度よりも低い不純物濃度を持つ、請求項 7 に記  
載の不揮発性半導体記憶装置。

【請求項 11】 前記チャンネル領域は、前記ドレイン領  
域の前記一部分に接する位置に形成された第 1 導電型の  
不純物拡散層を含んでおり、  
前記第 1 導電型の不純物拡散層は、前記第 1 導電型の半  
導体領域の不純物濃度よりも高い不純物濃度を有してい  
る、請求項 10 に記載の不揮発性半導体記憶装置。

【請求項 12】 第 1 導電型の半導体領域と、  
前記半導体領域上に形成された絶縁膜と、  
前記絶縁膜上に形成されたゲート電極と、  
前記半導体領域内に形成された第 2 導電型のソース領域  
と、  
前記半導体基板内に形成された第 2 導電型のドレイン領  
域と、  
前記半導体基板内に形成され、前記ソース領域と前記ド  
レイン領域との間に位置するチャンネル領域とを備えた不  
揮発性半導体記憶装置であって、  
前記ゲート電極は、前記ドレイン領域の一部分にオーバ  
ーラップしており、  
前記ゲート電極にオーバーラップされている前記ドレ  
イン領域の前記一部分のチャンネル長方向に沿って計測した  
サイズは、前記ドレイン領域中の第 2 導電型不純物の横  
方向拡散長よりも大きい、不揮発性半導体記憶装置。

【請求項 13】 前記ゲート電極にオーバーラップされ  
ている前記ドレイン領域の前記一部分のチャンネル長方向  
に沿って計測したサイズは、前記ドレイン領域の前記一  
部分の厚さよりも大きい、請求項 12 に不揮発性半導体  
記憶装置。

【請求項 14】 前記ドレイン領域の前記一部分は、斜  
めイオン注入法によって注入された不純物を含んでいる  
請求項 12 に記載の不揮発性半導体記憶装置。

## 3

【請求項 15】 チャネル長が  $0.4\ \mu\text{m}$  以下であり、かつ、前記ドレイン領域の前記一部分の前記チャネル長方向に沿って計測したサイズが、 $80\ \text{nm}$  以上である請求項 12 に記載の不揮発性半導体記憶装置。

【請求項 16】 前記ドレイン領域の前記一部分の不純物濃度は、前記ドレイン領域のうち前記ゲート電極がオーバーラップしていない領域の不純物濃度よりも低い請求項 12 に記載の不揮発性半導体記憶装置。

【請求項 17】 前記ドレイン領域は、前記半導体領域の表面に形成された第 1 の不純物拡散層と、前記第 1 の不純物拡散層に電気的に接続され、前記第 1 の不純物拡散層の不純物濃度よりも高い不純物濃度を持つ第 2 の不純物拡散層とを含んでおり、前記ドレイン領域の前記一部分は、前記第 1 の不純物拡散層から形成されており、前記第 2 の不純物拡散層は、前記ドレイン領域にドレイン電圧を供給する配線とコンタクトしており、前記ドレイン電圧を前記第 1 の不純物拡散層に伝達する機能を有する請求項 16 に記載の不揮発性半導体記憶装置。

【請求項 18】 前記ドレイン領域は第 3 の不純物拡散層を含み、前記第 3 の不純物拡散層は、前記半導体領域の表面に形成され、前記第 1 の不純物拡散層と前記第 2 の不純物拡散層とを電気的に相互接続し、前記第 1 の不純物拡散層の不純物濃度よりも高く前記第 2 の不純物拡散層の不純物濃度よりも低い不純物濃度を持つ、請求項 16 に記載の不揮発性半導体記憶装置。

【請求項 19】 前記ドレイン領域の前記第 3 の不純物拡散層の少なくとも一部は、前記ゲート電極によってオーバーラップされている請求項 18 に記載の不揮発性半導体記憶装置。

【請求項 20】 前記チャネル領域は、前記ドレイン領域の前記一部分に接する位置に形成された第 1 導電型の不純物拡散層を含んでおり、前記第 1 導電型の不純物拡散層は、前記第 1 導電型の半導体領域の不純物濃度よりも高い不純物濃度を有している、請求項 12 から 19 の何れかに記載の不揮発性半導体記憶装置。

【請求項 21】 前記ドレイン領域は、前記第 2 の不純物拡散層と前記半導体領域との間に設けられた第 2 導電型の低濃度不純物拡散層を含み、前記低濃度不純物拡散層は、前記第 3 の不純物拡散層の不純物濃度よりも低い不純物濃度を持つ、請求項 18 に記載の不揮発性半導体記憶装置。

【請求項 22】 前記チャネル領域は、前記ドレイン領域の前記一部分に接する位置に形成された第 1 導電型の不純物拡散層を含んでおり、前記第 1 導電型の不純物拡散層は、前記第 1 導電型の半

## 4

導体領域の不純物濃度よりも高い不純物濃度を有している、請求項 21 に記載の不揮発性半導体記憶装置。

【請求項 23】 第 1 導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第 2 導電型のソース領域と、前記半導体領域内に形成された第 2 導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャネル領域とを備えた不揮発性半導体記憶装置であって、データ書き込み時に前記半導体領域の表面に形成されるチャネル長方向電界の強度ピーク位置が、前記ゲート電極のエッジよりも前記チャネル領域の中心部に向かってシフトしており、しかも、そのシフト量は、前記ドレイン領域中の第 2 導電型不純物の横方向拡散長よりも大きい不揮発性半導体記憶装置。

【請求項 24】 第 1 導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第 2 導電型のソース領域と、前記半導体領域内に形成された第 2 導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャネル領域とを備えた不揮発性半導体記憶装置の製造方法であって、前記ソース領域および前記ドレイン領域を形成する前に、前記半導体領域のうち前記チャネル領域となる領域をマスクで覆う工程と、前記半導体領域のうち前記マスクで覆われてない領域に、前記ドレイン領域の少なくとも一部として機能する第 2 導電型不純物拡散層を形成する工程と、前記マスクを除去する工程と、前記ドレイン領域の一部として機能する前記第 2 導電型不純物拡散層の一部分および前記チャネル領域の両方を覆うようにして前記ゲート電極を形成するゲート形成工程と、を包含し、

前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第 2 導電型不純物拡散層の前記一部分が、チャネル長方向に沿って横方向に不純物濃度一定の均一領域を含むように実行される不揮発性半導体記憶装置の製造方法。

【請求項 25】 第 1 導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第 2 導電型のソース領域と、前記半導体領域内に形成された第 2 導電型のドレイン領

域と、  
前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置の製造方法であって、  
前記ソース領域および前記ドレイン領域を形成する前に、前記半導体領域のうち少なくとも前記チャンネル領域となる領域および前記ソース領域となる領域をマスクで覆う工程と、  
前記半導体領域のうち前記マスクで覆われていない領域に、前記ドレイン領域の少なくとも一部として機能する第 2 導電型不純物拡散層を形成する工程と、  
前記マスクを除去する工程と、  
前記ドレイン領域の一部として機能する前記第 2 導電型不純物拡散層の一部分を覆うようにして前記ゲート電極を形成するゲート形成工程と、を包含し、  
前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第 2 導電型不純物拡散層の前記一部分が、チャンネル長方向に沿って横方向に不純物濃度一定の均一領域を含むように実行される不揮発性半導体記憶装置の製造方法。

【請求項 2 6】 前記ゲート形成工程は、前記第 2 導電型不純物拡散層の前記均一領域の前記チャンネル長方向に沿って計測したサイズが、50 nm 以上となるように実行される請求項 2 4 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 2 7】 前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第 2 導電型不純物拡散層の前記一部分の前記チャンネル長方向に沿って計測したサイズが、80 nm 以上となるように実行される請求項 2 4 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 2 8】 前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第 2 導電型不純物拡散層の前記一部分の前記チャンネル長方向に沿って計測したサイズが、前記第 2 導電型不純物拡散層の前記一部分の厚さよりも大きくなるように実行される請求項 2 4 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 2 9】 前記ゲート電極の形成後に、少なくとも前記ゲート電極をマスクとして前記半導体領域に第 2 導電型不純物を注入することによって前記ソース領域および前記ドレイン領域の形成を完了する高レベルドーピング工程を更に包含する、請求項 2 4 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 3 0】 前記ゲート電極の形成後、前記高レベルドーピング工程の前に、前記ゲート電極をマスクとして前記半導体領域に第 2 導電型不純物を注入することによって、前記第 2 導電型不純物拡散層の不純物濃度よりも高い不純物濃度を持つ他の第 2 導電型不純物拡散層を前記ゲート電極に対して自己整合的に形成する工程と、前記他の第 2 導電型不純物拡散層を形成した後、前記高レベルドーピング工程の前に、前記ゲート電極および前

記第 2 のゲート電極の側面にサイドウォールスペーサを形成する工程と、を更に包含する、請求項 2 9 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 3 1】 前記マスクを形成した後、前記マスクを除去する前において、前記半導体領域のうち前記マスクに覆われていない領域に第 1 導電型不純物を注入する工程を更に包含し、それによって、最終的に前記チャンネル領域は前記第 2 導電型不純物拡散層に接する位置に第 1 導電型の不純物拡散層を有する請求項 2 5 から 3 0 の何れかに記載の不揮発性半導体記憶装置の製造方法。

【請求項 3 2】 第 1 導電型の半導体領域と、  
前記半導体領域上に形成された絶縁膜と、  
前記絶縁膜上に形成されたゲート電極と、  
前記半導体領域内に形成された第 2 導電型のソース領域と、  
前記半導体領域内に形成された第 2 導電型のドレイン領域と、  
前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置であって、  
前記ドレイン領域は、不純物濃度がチャンネル長方向に沿ってほぼ一定の第 1 の不純物拡散層と、前記第 1 の不純物拡散層の不純物濃度よりも高い不純物濃度を持つ第 2 の不純物拡散層とを含んでおり、  
前記ゲート電極は、前記ドレイン領域の前記第 1 の不純物拡散層の全体および前記第 2 の不純物拡散層の一部にオーバーラップしている、不揮発性半導体記憶装置。

【請求項 3 3】 データ書き込み時において、前記第 1 の不純物拡散層の少なくとも表面に反転層が形成されることを特徴とする請求項 3 2 に記載の不揮発性半導体記憶装置。

【請求項 3 4】 第 1 導電型の半導体領域と、  
前記半導体領域上に形成された絶縁膜と、  
前記絶縁膜上に形成されたゲート電極と、  
前記半導体領域内に形成された第 2 導電型のソース領域と、  
前記半導体領域内に形成された第 2 導電型のドレイン領域と、  
前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置であって、  
前記ドレイン領域は、データ書き込み時において少なくとも表面に反転層が形成される程度の不純物濃度を持つ第 1 の不純物拡散層と、前記第 1 の不純物拡散層の不純物濃度よりも高い不純物濃度を持つ第 2 の不純物拡散層とを含んでおり、  
前記ゲート電極は、前記ドレイン領域の前記第 1 の不純物拡散層の全体および前記第 2 の不純物拡散層の一部にオーバーラップしている、不揮発性半導体記憶装置。

【請求項 3 5】 第 1 導電型の半導体領域と、

前記半導体領域上に形成された絶縁膜と、  
前記絶縁膜上に形成されたゲート電極と、  
前記半導体領域内に形成された第 2 導電型のソース領域と、  
前記半導体領域内に形成された第 2 導電型のドレイン領域と、  
前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャネル領域とを備えた不揮発性半導体記憶装置であって、  
前記ドレイン領域は、前記ゲート電極の電位にかかわらず実質的に一定のドレイン電位を示す高濃度不純物拡散層と、前記ゲート電極の電位に応じて表面電位分布が変化する低濃度不純物拡散層とを含んでおり、  
前記ゲート電極は、前記ドレイン領域の低濃度不純物拡散層の全体および前記高濃度不純物拡散層の一部にオーバーラップしている、不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置およびその製造方法に関する。

【0002】

【従来の技術】フラッシュ型EEPROMは、電氣的に書き込み及び消去が可能な不揮発性半導体記憶装置として広く用いられている。図1は、従来のフラッシュ型EEPROMの断面を示している。この装置は、図1に示されるように、シリコン基板101上に形成された積層ゲート構造と、シリコン基板101内に形成された複雑な不純物拡散構造とを備えている。このゲート構造は、シリコン基板101上に形成されたトンネル絶縁膜102と、トンネル絶縁膜102上に形成された浮遊ゲート電極103と、浮遊ゲート電極103上に形成された容量絶縁膜104と、容量絶縁膜104上に形成された制御ゲート電極105とを備えている。これらの積層ゲート構造の側面には絶縁性サイドウォール109aおよび109bが設けられている。不純物拡散構造は、ドレイン側において、第1の $n^+$ 型高濃度不純物拡散層110と第2の $n^+$ 型高濃度不純物拡散層111とを有しており、これらの不純物拡散層110および111の外側に $p$ 型不純物拡散層112が位置している。一方、ソース側においては、 $n^+$ 型高濃度不純物拡散層113と $n^-$ 型低濃度不純物拡散層114とが形成されている。

【0003】データの書き込み時、シリコン基板101とトンネル絶縁膜102との界面近傍に形成されるチャネル長方向電界の強度ピークは、第1の $n^+$ 型高濃度不純物拡散層110と $p$ 型不純物拡散層112との間の接合部分に位置している。この電界強度ピーク位置およびその近傍でホットエレクトロンが形成され、浮遊ゲート電極103に注入され、その中に蓄積される。

【0004】データの消去時、浮遊ゲート電極103内の電子は、トンネル絶縁膜102中のトンネリングによ

って、ソース側の $n^+$ 型高濃度不純物拡散層113へ引き抜かれる。

【0005】

【発明が解決しようとする課題】上記従来の不揮発性半導体記憶装置には、以下に示す問題点がある。

【0006】まず、従来のフラッシュ型EEPROMにおけるデータ書き込みの速度は、DRAMにおけるデータ書き込み速度に比較して2桁も遅い。このため、データ書き込み時にドレインおよび制御ゲート電極に印加する電圧を高くしなければならず、それによって回路構成及び製造工程が複雑になる。

【0007】書き込み速度が遅い原因の1つは、チャネルホットエレクトロンが浮遊ゲートへ注入される効率が悪いことであると考えられる。

【0008】本発明は上記事情に鑑みてなされたものであり、その目的とするところは、チャネルホットエレクトロンの注入効率を向上し、書き込み速度の向上または書き込み電圧の低化を可能にする不揮発性半導体記憶装置およびその製造方法を提供することにある。

【0009】

【課題を解決するための手段】本発明による不揮発性半導体記憶装置は、第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース領域と、前記半導体領域内に形成された第2導電型のドレイン領域と、前記ソース領域と前記ドレイン領域との間に位置するチャネル領域とを備えた不揮発性半導体記憶装置であって、前記ゲート電極は、前記ドレイン領域の一部分にオーバーラップしており、前記ゲート電極によってオーバーラップされている前記ドレイン領域の前記一部分は、不純物濃度がチャネル長方向に沿ってほぼ一定の均一領域を含んでいる。

【0010】好ましい実施形態では、前記ドレイン領域の前記均一領域の前記チャネル長方向に沿って計測したサイズは、50nm以上である。

【0011】チャネル長が0.4 $\mu$ m以下であり、かつ、前記ドレイン領域の前記一部分の前記チャネル長方向に沿って計測したサイズが、80nm以上であってもよい。

【0012】前記ドレイン領域の前記一部分の前記チャネル長方向に沿って計測したサイズは、前記ドレイン領域の前記一部分の厚さよりも大きいことが好ましい。

【0013】前記ドレイン領域の前記一部分に含まれる前記均一領域の不純物濃度は、前記ドレイン領域のうち前記ゲート電極がオーバーラップしていない領域の不純物濃度よりも低いことが好ましい。

【0014】前記ドレイン領域は、前記半導体領域の表面に形成された第1の不純物拡散層と、前記第1の不純物拡散層に電氣的に接続され、前記第1の不純物拡散層

の不純物濃度よりも高い不純物濃度を持つ第2の不純物拡散層とを含んでおり、前記ドレイン領域の前記一部分は、前記第1の不純物拡散層から形成されており、前記第2の不純物拡散層は、前記ドレイン領域にドレイン電圧を供給する配線とコンタクトしており、前記ドレイン電圧を前記第1の不純物拡散層に伝達する機能を有することが好ましい。

【0015】前記ドレイン領域は第3の不純物拡散層を含み、前記第3の不純物拡散層は、前記半導体領域の表面に形成され、前記第1の不純物拡散層と前記第2の不純物拡散層とを電気的に相互接続し、前記第1の不純物拡散層の不純物濃度よりも高く前記第2の不純物拡散層の不純物濃度よりも低い不純物濃度を持つようにしてもよい。

【0016】前記ドレイン領域の前記第3の不純物拡散層の少なくとも一部は、前記ゲート電極によってオーバーラップされていることが好ましい。

【0017】好ましい実施形態では、前記チャネル領域が前記ドレイン領域の前記一部分に接する位置に形成された第1導電型の不純物拡散層を含んでおり、前記第1導電型の不純物拡散層は、前記第1導電型の半導体領域の他の部分の不純物濃度よりも高い不純物濃度を有している。

【0018】前記ドレイン領域は、前記第2の不純物拡散層と前記半導体領域との間に設けられた第2導電型の低濃度不純物拡散層を含み、前記低濃度不純物拡散層は、前記第3の不純物拡散層の不純物濃度よりも低い不純物濃度を持つようにしてもよい。

【0019】前記チャネル領域は、前記ドレイン領域の前記一部分に接する位置に形成された第1導電型の不純物拡散層を含んでおり、前記第1導電型の不純物拡散層は、前記第1導電型の半導体領域の不純物濃度よりも高い不純物濃度を有している。

【0020】本発明による他の不揮発性半導体記憶装置は、第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース領域と、前記半導体基板内に形成された第2導電型のドレイン領域と、前記半導体基板内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャネル領域とを備えた不揮発性半導体記憶装置であって、前記ゲート電極は、前記ドレイン領域の一部分にオーバーラップしており、前記ゲート電極にオーバーラップされている前記ドレイン領域の前記一部分のチャネル長方向に沿って計測したサイズは、前記ドレイン領域中の第2導電型不純物の横方向拡散長よりも大きい。

【0021】前記ゲート電極にオーバーラップされている前記ドレイン領域の前記一部分のチャネル長方向に沿って計測したサイズは、前記ドレイン領域の前記一部分の厚さよりも大きいことが好ましい。

【0022】前記ドレイン領域の前記一部分は、斜めイオン注入法によって注入された不純物を含んでいてもよい。

【0023】チャネル長が $0.4\mu\text{m}$ 以下であり、かつ、前記ドレイン領域の前記一部分の前記チャネル長方向に沿って計測したサイズが、 $80\text{nm}$ 以上であってもよい。

【0024】前記ドレイン領域の前記一部分の不純物濃度は、前記ドレイン領域のうち前記ゲート電極がオーバーラップしていない領域の不純物濃度よりも低いことが好ましい。

【0025】前記ドレイン領域は、前記半導体領域の表面に形成された第1の不純物拡散層と、前記第1の不純物拡散層に電気的に接続され、前記第1の不純物拡散層の不純物濃度よりも高い不純物濃度を持つ第2の不純物拡散層とを含んでおり、前記ドレイン領域の前記一部分は、前記第1の不純物拡散層から形成されており、前記第2の不純物拡散層は、前記ドレイン領域にドレイン電圧を供給する配線とコンタクトしており、前記ドレイン電圧を前記第1の不純物拡散層に伝達する機能を有することが好ましい。

【0026】前記ドレイン領域は第3の不純物拡散層を含み、前記第3の不純物拡散層は、前記半導体領域の表面に形成され、前記第1の不純物拡散層と前記第2の不純物拡散層とを電気的に相互接続し、前記第1の不純物拡散層の不純物濃度よりも高く前記第2の不純物拡散層の不純物濃度よりも低い不純物濃度を持つようにしてもよい。

【0027】前記ドレイン領域の前記第3の不純物拡散層の少なくとも一部は、前記ゲート電極によってオーバーラップされていることが好ましい。

【0028】好ましい実施形態では、前記チャネル領域が前記ドレイン領域の前記一部分に接する位置に形成された第1導電型の不純物拡散層を含んでおり、前記第1導電型の不純物拡散層は、前記第1導電型の半導体領域の不純物濃度よりも高い不純物濃度を有している。

【0029】前記ドレイン領域は、前記第2の不純物拡散層と前記半導体領域との間に設けられた第2導電型の低濃度不純物拡散層を含み、前記低濃度不純物拡散層は、前記第3の不純物拡散層の不純物濃度よりも低い不純物濃度を持つようにしてもよい。

【0030】好ましい実施形態では、前記チャネル領域は、前記ドレイン領域の前記一部分に接する位置に形成された第1導電型の不純物拡散層を含んでおり、前記第1導電型の不純物拡散層は、前記第1導電型の半導体領域の不純物濃度よりも高い不純物濃度を有している。

【0031】本発明による不揮発性半導体記憶装置は、第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース

領域と、前記半導体領域内に形成された第 2 導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置であって、データ書き込み時に前記半導体領域の表面に形成されるチャンネル長方向電界の強度ピーク位置が、前記ゲート電極のエッジよりも前記チャンネル領域の中心部に向かってシフトしており、しかも、そのシフト量は、前記ドレイン領域中の第 2 導電型不純物の横方向拡散長よりも大きい。

【0032】本発明による不揮発性半導体記憶装置の製造方法は、第 1 導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第 2 導電型のソース領域と、前記半導体領域内に形成された第 2 導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置の製造方法であって、前記ソース領域および前記ドレイン領域を形成する前に、前記半導体領域のうち前記チャンネル領域となる領域をマスクで覆う工程と、前記半導体領域のうち前記マスクで覆われてない領域に、前記ドレイン領域の少なくとも一部として機能する第 2 導電型不純物拡散層を形成する工程と、前記マスクを除去する工程と、前記ドレイン領域の一部として機能する前記第 2 導電型不純物拡散層の一部分および前記チャンネル領域の両方を覆うようにして前記ゲート電極を形成するゲート形成工程とを包含し、前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第 2 導電型不純物拡散層の前記一部分が、チャンネル長方向に沿って横方向に不純物濃度一定の均一領域を含むように実行される。

【0033】本発明による他の不揮発性半導体記憶装置の製造方法は、第 1 導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第 2 導電型のソース領域と、前記半導体領域内に形成された第 2 導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置の製造方法であって、前記ソース領域および前記ドレイン領域を形成する前に、前記半導体領域のうち少なくとも前記チャンネル領域となる領域および前記ソース領域となる領域をマスクで覆う工程と、前記半導体領域のうち前記マスクで覆われていない領域に、前記ドレイン領域の少なくとも一部として機能する第 2 導電型不純物拡散層を形成する工程と、前記マスクを除去する工程と、前記ドレイン領域の一部として機能する前記第 2 導電型不純物拡散層の一部分を覆うようにして前記ゲート電極を形成するゲート形成工程とを包含し、前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第 2 導電型不純物拡散層の前記一部分が、チャンネル長方

向に沿って横方向に不純物濃度一定の均一領域を含むように実行される。

【0034】好ましい実施形態では、前記ゲート形成工程が、前記第 2 導電型不純物拡散層の前記均一領域の前記チャンネル長方向に沿って計測したサイズが、50 nm 以上となるように実行される。

【0035】前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第 2 導電型不純物拡散層の前記一部分の前記チャンネル長方向に沿って計測したサイズが、80 nm 以上となるように実行されてもよい。

【0036】前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第 2 導電型不純物拡散層の前記一部分の前記チャンネル長方向に沿って計測したサイズが、前記第 2 導電型不純物拡散層の前記一部分の厚さよりも大きくなるように実行されることが好ましい。

【0037】前記ゲート電極の形成後に、少なくとも前記ゲート電極をマスクとして前記半導体領域に第 2 導電型不純物を注入することによって前記ソース領域および前記ドレイン領域の形成を完了する高レベルドーピング工程を更に包含することが好ましい。

【0038】前記ゲート電極の形成後、前記高レベルドーピング工程の前に、前記ゲート電極をマスクとして前記半導体領域に第 2 導電型不純物を注入することによって、前記第 2 導電型不純物拡散層の不純物濃度よりも高い不純物濃度を持つ他の第 2 導電型不純物拡散層を前記ゲート電極に対して自己整合的に形成する工程と、前記他の第 2 導電型不純物拡散層を形成した後、前記高レベルドーピング工程の前に、前記ゲート電極および前記第 2 のゲート電極の側面にサイドウォールスペーサを形成する工程とを更に包含してもよい。

【0039】前記マスクを形成した後、前記マスクを除去する前において、前記半導体領域のうち前記マスクに覆われてない領域に第 1 導電型不純物を注入する工程を更に包含し、それによって、最終的に前記チャンネル領域は前記第 2 導電型不純物拡散層に接する位置に第 1 導電型の不純物拡散層を有するにしてもよい。

【0040】本発明による更に他の不揮発性半導体記憶装置は、第 1 導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第 2 導電型のソース領域と、前記半導体領域内に形成された第 2 導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置であって、前記ドレイン領域は、不純物濃度がチャンネル長方向に沿ってほぼ一定の第 1 の不純物拡散層と、前記第 1 の不純物拡散層の不純物濃度よりも高い不純物濃度を持つ第 2 の不純物拡散層とを含んでおり、前記ゲート電極は、前記ド



レイン領域の前記第1の不純物拡散層の全体および前記第2の不純物拡散層の一部にオーバーラップしている。

【0041】データ書き込み時において、前記第1の不純物拡散層の少なくとも表面に反転層が形成されることが好ましい。

【0042】本発明による更に他の不揮発性半導体記憶装置は、第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース領域と、前記半導体領域内に形成された第2導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャネル領域とを備えた不揮発性半導体記憶装置であって、前記ドレイン領域は、データ書き込み時において少なくとも表面に反転層が形成される程度の不純物濃度を持つ第1の不純物拡散層と、前記第1の不純物拡散層の不純物濃度よりも高い不純物濃度を持つ第2の不純物拡散層とを含んでおり、前記ゲート電極は、前記ドレイン領域の前記第1の不純物拡散層の全体および前記第2の不純物拡散層の一部にオーバーラップしている。

【0043】本発明による更に他の不揮発性半導体記憶装置は、第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース領域と、前記半導体領域内に形成された第2導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャネル領域とを備えた不揮発性半導体記憶装置であって、前記ドレイン領域は、前記ゲート電極の電位にかかわらず実質的に一定のドレイン電位を示す高濃度不純物拡散層と、前記ゲート電極の電位に応じて表面電位分布が変化する低濃度不純物拡散層とを含んでおり、前記ゲート電極は、前記ドレイン領域の低濃度不純物拡散層の全体および前記高濃度不純物拡散層の一部にオーバーラップしている。

【0044】

【発明の実施の形態】本願発明による不揮発性半導体記憶装置では、ドレイン領域とチャネル領域との間に形成されるpn接合の、半導体基板表面における位置が、ゲートエッジからチャネル領域の内部に向かって「横方向拡散長」よりも大きくシフトしている。従来の製造方法によれば、ゲート形成後にドレイン領域を形成していたため、ドレイン領域のゲートオーバーラップ部分は、注入不純物とその後のプロセスで横方向に拡散することによって形成されたものである。その場合、オーバーラップ部分のサイズは、横方向拡散長程度である。

【0045】データ書き込み時にチャネル領域内に形成される水平方向電界の強度分布は、上記pn接合付近にピークを持つ。本願発明では、この電界強度のピークを高く保ちながら、そのピークの位置をゲートエッジから

内部に奥深く入り込んだ場所にシフトさせている。その結果、電界強度のピーク位置付近で大量に発生するホットエレクトロンを効率的に浮遊ゲートに注入することが可能になる。データ書き込みの観点からは、浮遊ゲート下におけるドレイン領域の不純物濃度はドレイン領域からチャネル領域にかけて急峻に低下するような分布を持つことが好ましい。

【0046】(第1の実施形態)以下に、図2を参照しながら本発明による不揮発性半導体記憶装置の第1の実施形態を説明する。本実施形態の記憶装置は、nチャネルMOS型フラッシュEEPROMである。

【0047】本実施形態の不揮発性半導体記憶装置は、図2に示されるように、p型半導体領域(p型不純物濃度:例えば $5 \times 10^{15}$ から $5 \times 10^{16} \text{ cm}^{-3}$ )を含む単結晶シリコン基板1のp型半導体領域に形成されている。単結晶シリコン基板1は、不図示のpチャネルMOSトランジスタが形成されたn型ウェルを含んでいても良い。図では、簡単化のため、単一のメモリセルしか記載されていないが、現実には、多数のメモリセルが同一基板上に集積されている。基板上には、これらのメモリセルにデータを書き込み、またはメモリセルからデータを読み出すための周辺回路等(不図示)が設けられている。

【0048】各メモリセルは、シリコン基板1上に形成されたトンネル絶縁膜(第1の絶縁膜)2と、トンネル絶縁膜2上に形成された浮遊ゲート電極(第1のゲート電極)3と、浮遊ゲート電極3上に形成された容量絶縁膜(第2の絶縁膜)4と、容量絶縁膜4上に形成された制御ゲート電極(第2のゲート電極)5とを備えている。トンネル絶縁膜2は、好ましくは、シリコン基板1の表面を熱酸化することによって形成される。トンネル絶縁膜2の厚さは、典型的には、約8から約10nmである。浮遊ゲート電極3は、例えば多結晶シリコン膜から形成される。浮遊ゲート電極3の厚さは、典型的には約100から約200nmである。容量絶縁膜4は、例えばONO膜から形成され得る。容量絶縁膜4の厚さは、約15から約22nmである。制御ゲート電極5は、例えば多結晶シリコン膜から形成され、その厚さは、約150から約300nmである。これらの電極は、多結晶シリコン膜以外の導電性膜から形成されてもよい。

【0049】このメモリセルは、シリコン基板1内に形成されたn型ソース領域11aおよびドレイン領域11bと、シリコン基板1内に形成され、ソース領域11aとドレイン領域11bとの間に位置するチャネル領域とを備えている。本実施形態におけるソース領域11aおよびドレイン領域11bの不純物濃度は、シリコン基板1の表面近傍において $5 \times 10^{19}$ から $5 \times 10^{20} \text{ cm}^{-3}$ である。チャネル領域の不純物濃度は、シリコン基板1の表面近傍において $5 \times 10^{16}$ から $5 \times 10^{17} \text{ cm}^{-3}$ で

ある。

【0050】本実施形態の装置に特徴的な点は、浮遊ゲート電極3がドレイン領域11bの一部分（以下、「オーバーラップ部分」と称する）とオーバーラップしており、このオーバーラップ部分の中に、不純物濃度がチャネル長方向に沿って横方向に一定の「均一領域」が含まれていることにある。均一領域の基板表面における不純物濃度は、 $5 \times 10^{19}$ から $5 \times 10^{20} \text{ cm}^{-3}$ である。均一領域のチャネル長方向に沿って計測したサイズ（ $L_{UNI}$ ）は、本実施形態では、50nmから100nmの範囲にある。オーバーラップ部分のチャネル長方向に沿って計測したサイズ（ $L_{OVR}$ ）は、本実施形態の場合、 $L_{UNI}$ よりも70nm程度大きい。オーバーラップ長（ $L_{OVR}$ ）は、本実施形態のチャネル長（ $L_{ch}$ ：400nm）の約40%に相当する。

【0051】従来の不揮発性半導体記憶装置においても、浮遊ゲート電極103がドレイン領域の一部分とオーバーラップしているが、そのオーバーラップ部分は、浮遊ゲート電極103の形成後に浮遊ゲート電極103に対して自己整合的に注入された不純物がシリコン基板101内を横方向に熱拡散することによって形成されたものである。従って、そのオーバーラップ部分の不純物濃度は、浮遊ゲート電極103のエッジ直下位置からチャネル領域の内部に向かって単調に減少している。言い換えると、本実施形態の「均一領域」は、従来の不揮発性半導体記憶装置におけるオーバーラップ部分内には実質的に存在していない。また、従来の場合、オーバーラップ部分のチャネル長方向に沿って計測したオーバーラップ長（ $L_{OVR}$ ）は、せいぜいチャネル長の15%程度以下しかない。

【0052】本実施形態の不揮発性半導体記憶装置は、浮遊ゲート電極3の下方において、従来技術から区別される不純物プロファイルを有しており、そのことによって、以下のような顕著な効果が達成される。

【0053】本不揮発性半導体記憶装置では、ドレイン領域11bの一部分が浮遊ゲート電極3の下に横方向へ深く延長しているため、データ書き込み時にシリコン基板1の表面に形成されるチャネル長方向電界の強度ピークの位置（最大電界強度点）が、浮遊ゲート電極3のエッジからチャネル領域の中央部に向かってシフトする。

【0054】図3は、ドレイン領域11bのオーバーラップ部分の断面構造、その部分の不純物濃度分布、および電界強度分布を模式的に示している。浮遊ゲート電極3のドレイン側エッジからチャネル領域の中央部に向かって長さ $L_{UNI}$ の領域において、ドレイン領域の表面不純物濃度 $N_d$ は横方向にほぼ一定である。この領域が

「均一領域」である。オーバーラップ部分のうち均一領域を除いた領域では、図3に示されるように、ドレイン領域11bの表面不純物濃度 $N_d$ はチャネル領域の中央部に向かって単調に減少している。ドレイン領域11b

とp型半導体領域との間に形成されるpn接合の半導体表面から計測した深さ（接合深さ） $X_j$ は、ドレイン領域11bの厚さに相当している。本実施形態では、この接合深さ $X_j$ よりもオーバーラップ長 $L_{OVR}$ が大きい。図3には、データ書き込み時にシリコン基板1とトンネル絶縁膜2との界面に形成されるチャネル長方向電界の強度 $E$ の空間的分布が示されている。この電界強度のピークは、シリコン基板1とトンネル絶縁膜2との界面において、p型半導体領域とn型半導体領域とが接する接合部分に位置している本実施形態によれば、均一領域が浮遊ゲート電極3の下方に存在しているため、不純物濃度の低下を抑制しながら、ドレイン領域11bを浮遊ゲート電極3の下に横方向へ深く延長することができる。このドレイン領域の延長部分を本願明細書では「N-エクステンション」と呼ぶ場合がある。このN-エクステンションの不純物濃度が十分に高いと、ドレイン領域11bの先端部分でもドレイン電位が高く維持され、ドレイン領域11bの先端部におけるチャネル長方向電界の強度ピークを大きくする。このため、与えられた電圧条件のもとでのホットエレクトロンの発生レートが増加する。このことは、逆に、ドレイン領域に与える電圧を低下させても、十分な大きさのホットエレクトロン発生レートをもたらし得る。

【0055】図4（a）は、本実施形態においてシリコン基板1の表面近傍に形成されるチャネル長方向電界の強度分布曲線41を模式的に示している。図4（b）は、図1の従来の不揮発性半導体記憶装置においてシリコン基板101の表面に形成されるチャネル長方向電界の強度分布曲線43を模式的に示している。図4（a）および（b）からわかるように、本実施形態によれば、シリコン基板1の表面に形成されるチャネル長方向電界の強度ピークの位置PをゲートエッジOからチャネル領域の中央部に近づけ、しかも、そのピークの高さを大きく維持することができる。その結果、浮遊ゲート電極3がホットエレクトロンの発生領域を広く覆うことになり、発生したホットエレクトロンを効率良く浮遊ゲート電極3によってとらえることが可能になる。従来のように電界強度ピークの位置P'がゲートエッジOの近傍に位置している場合、発生したホットエレクトロンの一部しか浮遊ゲート電極103に注入されず、大部分がドレイン領域110に流れ込んでいると考えられる。これに対して、本実施形態では、ホットエレクトロンの発生する位置を意図的に浮遊ゲート電極3のエッジ近傍からチャネル領域の中央部方向にシフトさせ、それによって、発生したホットエレクトロンの多くを浮遊ゲート電極3に注入させることができるので、注入効率が著しく改善される。

【0056】なお、オーバーラップ部分が「均一領域」を有していない場合、言い換えると、オーバーラップ部分内の不純物濃度がチャネル長方向に沿って単調に減少

している場合は、ドレイン領域 11b の端部の電位が低下するため、図 4 (a) の破線 42 に示されるような低い電界ピークしかえられない。

【0057】本実施形態の装置によれば、書き込み動作は、例えばドレイン領域 11b に 5V、制御ゲート電極 5 に 7 から 9V、ソース領域 11a およびシリコン基板 1 に 0V の電圧を印加した状態で実行される。この場合、ソース領域 11a から出た電子は、チャンネル領域内をドレイン領域 11b に向かって移動しながらチャンネル領域内のチャンネル長方向電界からエネルギーを獲得し、ドレイン領域 11b の端部における高電界領域でホットエレクトロンとなり、シリコン基板 1 とトンネル絶縁膜 2 との間の障壁を超えて浮遊ゲート電極 3 に注入される。前述したように、本実施形態の装置によれば、ドレイン領域 11b の浮遊ゲート電極 3 によるオーバーラップ部分における不純物濃度が比較的に高く、しかも、オーバーラップ長が長い。このため、浮遊ゲート電極 3 のエッジ直下からチャンネル領域の中央部に向かって大きくシフトした位置で、電子のエネルギーが充分に高くなるので、エネルギーの高い電子が浮遊ゲート電極 3 に効率的に注入される。

【0058】本不揮発性半導体記憶装置によれば、消去動作は、制御ゲート電極 5 に -6 から -8V、ドレイン領域 11b に 5 から 6V、ソース領域 11a およびシリコン基板 1 に 0V の電圧を印加した状態で実行される。この場合、トンネル絶縁膜 2 内を流れるトンネル電流によって浮遊ゲート電極 3 内の電子をドレイン領域 11b に引き抜く。電子のトンネル現象はトンネル絶縁膜 2 内で最も強い電界が形成される部分で生じるため、上記電圧印加状態では、電子の引き抜きが浮遊ゲート電極 3 のドレイン側エッジ部分で起こる。書き込み動作時における電子注入の位置と、消去動作時における電子のトンネル位置とが異なるため、トンネル絶縁膜 2 の劣化が少なく、信頼性に優れる。なお、消去動作は、浮遊ゲート電極 3 に蓄積された電子をソース領域 11a へ引き抜くことによって実行することも可能である。

【0059】以下に、図 5 (a) ~ (d) を参照しながら、本実施形態の装置の製造方法を説明する。

【0060】まず、図 5 (a) に示されるように、シリコン基板 1 の表面のうちチャンネル領域となる部分を覆うマスク 51 を形成する。このマスク 51 は、例えばリソグラフィ工程で形成されたレジストパターンであってよい。マスク 51 の形成前に、シリコン基板 1 の表面を薄い酸化膜 50 で保護しておくことが好ましい。チャンネル長方向に沿って計測したマスク 51 のサイズは、例えば 0.3 から 0.4  $\mu\text{m}$  である。

【0061】次に、シリコン基板 1 の表面のうちマスク 51 に覆われてない領域に対して n 型不純物としてヒ素 (As) イオンを注入する。イオン注入の加速エネルギーは、例えば 20 から 40 keV、ドーズ量は、例えば 5

$\times 10^{14}$  から  $5 \times 10^{15} \text{ cm}^{-2}$  である。こうして、図 5 (b) に示すように、ソース領域 11a およびドレイン領域 11b が基板 1 に形成される。

【0062】マスク 51 および保護酸化膜 50 を除去した後、図 5 (c) に示されるように、熱酸化法によって半導体基板 1 の表面にトンネル絶縁膜 2 を形成する。この後、浮遊ゲート電極 3 となる第 1 の多結晶シリコン膜 3' を化学的気相成長法によってトンネル絶縁膜 2 上に堆積する。第 1 の多結晶シリコン膜 3' 上に容量絶縁膜 4 を形成した後、制御ゲート電極 5 となる第 2 の多結晶シリコン膜 5' を化学的気相成長法によって容量絶縁膜 4 上に堆積する。

【0063】次に、図 5 (d) に示されるように、公知のリソグラフィ技術を用いてゲート電極のパターンを規定するレジストマスク 52 を第 2 の多結晶シリコン膜 5' 上に形成した後、公知のドライエッチング技術を用いて、第 2 の多結晶シリコン膜、容量絶縁膜 4 および第 1 の多結晶シリコン膜 3' を順次パターンニングする。こうして、図 2 の装置が形成される。

【0064】なお、レジストマスク 52 は、ソース領域 11a の一部、チャンネル領域、およびドレイン領域 11b のうちレジストマスク 52 によって覆われる部分が、ドレイン領域 11b のオーバーラップ部分のサイズ (オーバーラップ長  $L_{\text{OVR}}$ ) を規定する。

【0065】不純物活性化のためのアニールは、上記 n 型不純物イオンの注入後における任意の段階で実行される。このアニールによって、ソース領域 11a およびドレイン領域 11b に含まれる n 型不純物は四方に拡散する。その拡散長は、上記アニールおよびその他の高温プロセスの条件によって変化するが、本実施形態の装置を製造する場合、50 nm より小さい。この値は、オーバーラップ部分のチャンネル長方向に沿って計測したサイズ、すなわちオーバーラップ長 ( $L_{\text{OVR}}$ ) よりも小さい。また、本実施形態のオーバーラップ部分は、横方向拡散によってではなく、シリコン基板 1 の表面から注入された不純物によって形成されるため、オーバーラップ部分の中に、不純物濃度がチャンネル長方向に沿って横方向に一定の「均一領域」が含まれることになる。なお、「均一領域」の不純物濃度がシリコン基板 1 の表面から深さ方向に沿って変化していることは言うまでもない。オーバーラップ部分は、均一領域の他に、不純物の横方向拡散によって不純物濃度がチャンネル長方向に沿って変化する部分を端部に含んでいる。

【0066】本実施形態の製造方法によれば、浮遊ゲート電極 3 の形成前に、ソース領域 11a およびドレイン領域 11b を形成している。このことによって、不純物濃度がチャンネル長方向に沿って横方向にほぼ一定の「均一領域」を含むオーバーラップ部分を浮遊ゲート電極 3 の下方に配置することが可能になる。従来のように、浮

遊ゲート電極 3 の形成後にソース領域 1 1 a およびドレイン領域 1 1 b を形成する場合は、ゲート電極をマスクとして注入された不純物の横方向拡散によってオーバーラップ部分が形成されるため、オーバーラップ部分の不純物濃度はチャンネル長方向に沿って単調に低下してしまうことになる。また、従来の製造方法による場合、オーバーラップ部分のチャンネル長方向に沿って計測したサイズ ( $L_{OVR}$ ) は、ドレイン領域 1 1 b の不純物の拡散長程度に過ぎない。なお、本実施形態の方法によっても、不純物は水平横方向に拡散するため、均一領域は、不均一領域に対する不純物の供給源として機能する。このため、均一領域の内部でも、厳密には、不純物濃度がチャンネル領域に向かって僅かに減少しているものと考えられる。

【0067】図 2 の装置は、現実には、図示されていない層間絶縁膜に覆われており、その層間絶縁膜の中および／または上に形成された配線によって、不図示の周辺回路に電気的に接続されている。これらの層間絶縁膜、配線および周辺回路の構造は、公知のものをを用いることができる。

【0068】このような不揮発性半導体記憶装置によれば、書き込み速度を速く（例えば、10 ナノ秒以下に）するかわりに、書き込み電圧を低く（例えば、4.0 V 以下に）することもできる。また、不純物濃度の分布がチャンネル領域の中央部を垂直に横切る面に対してほぼ対称な構造を有しているため、ソース／ドレインのいずれか一方に印加する電圧を制御することによって、書き込み、消去および読みだし動作を実行することが可能になる。このことは、回路設計の自由度を著しく向上させる。

【0069】（第 2 の実施形態）以下、図 6 を参照しながら本発明による不揮発性半導体記憶装置の第 2 の実施形態を説明する。本実施形態の記憶装置は、n チャンネル MOS 型フラッシュ EEPROM である。

【0070】図 6 に示されるように、本実施形態の不揮発性半導体記憶装置は、p 型半導体領域を含む単結晶シリコン基板 1 の p 型半導体領域に形成されている。図 6 では、単一のメモリセルしか記載されていないが、現実には、多数のメモリセルが同一基板上に集積されている。

【0071】本実施形態の装置は、半導体領域内に形成される不純物拡散層の構成を除けば、図 2 の装置とほとんど同じ構成であるので、両者に共通する構造については説明を簡略化し、相違点を詳細に説明することにする。

【0072】図 6 の装置は、p 型半導体領域を含む単結晶シリコン基板 1 上に形成されたトンネル絶縁膜 2 と、トンネル絶縁膜 2 上に形成された浮遊ゲート電極 3 と、浮遊ゲート電極 3 上に形成された容量絶縁膜 4 と、容量絶縁膜 4 上に形成された制御ゲート電極 5 とを備えてい

る。これらのゲート電極 3 および 5 の側面には、絶縁性サイドウォールが 9 a および 9 b が形成されている。

【0073】この装置は、シリコン基板 1 内に形成された  $n^+$  型高濃度ソース領域 1 1 a および  $n^+$  型高濃度ドレイン領域 1 1 b の他に、シリコン基板 1 内に形成された  $n^-$  型低濃度ソース領域 6 a および  $n^-$  型低濃度ドレイン領域 6 b を備えている。 $n^-$  型低濃度ソース領域 6 a と  $n^-$  型低濃度ドレイン領域 6 b との間にはチャンネル領域が存在している。

10 【0074】本実施形態に特徴的な点は、（1）浮遊ゲート電極 3 が低濃度ドレイン領域 6 b の一部分とオーバーラップしており、このオーバーラップ部分の中に、不純物濃度がチャンネル長方向に沿って横方向に一定の「均一領域」が含まれていること、および（2）均一領域の不純物濃度が、ドレイン領域のうち浮遊ゲート電極 3 によってオーバーラップされていない領域（1 1 b）の不純物濃度よりも低いことにある。言い換えると、本実施形態の記憶装置におけるドレイン領域は、相対的に低濃度の不純物拡散層（6 b）と相対的に高濃度の不純物拡散層（1 1 b）とを含んでいる。

20 【0075】本実施形態では、オーバーラップ部分のチャンネル長方向に沿って計測したサイズ ( $L_{OVR}$ ) は、130 nm 程度であり、均一領域のチャンネル長方向に沿って計測したサイズ ( $L_{UNI}$ ) は、100 nm 程度である。オーバーラップ長  $L_{OVR}$  は、オーバーラップ部分の厚さ（＝その部分の接合深さ  $X_j$ ＝約 50 nm）よりも大きい。また、オーバーラップ部分のシリコン基板 1 の表面における不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$  から  $1 \times 10^{19} \text{ cm}^{-3}$  であるのに対して、ドレイン領域のうち浮遊ゲート電極 3 に覆われていない領域の不純物濃度は、30 これより高く、 $1 \times 10^{20} \text{ cm}^{-3}$  以上である。

【0076】本実施形態によれば、ドレイン領域のオーバーラップ部分とその他の部分との間で不純物濃度が異なっており、それぞれの部分に対して独立して最適な値を与えることができる。配線と電気的にコンタクトする高濃度ドレイン領域 1 1 b の不純物濃度はコンタクト抵抗低減の観点からできるだけ高いことが望まれるが、オーバーラップ部分の不純物濃度をコンタクト領域の不純物濃度と同程度に高くすると、データの消去時にホールがトンネル絶縁膜 2 中に注入し、トンネル絶縁膜 2 が劣化しやすくなるという不都合が生じるおそれがある。この不都合を避けるため、本実施形態では、オーバーラップ部分の不純物濃度を上記範囲内の値となるよう低めに設定している。

【0077】本実施形態の装置も、第 1 の実施形態の装置と同様に動作し、第 1 の実施形態の装置による効果と同様の効果が発揮される。この効果に加えて、本実施形態によれば、ソース／ドレインのコンタクト抵抗を低く維持する一方で、消去動作時のトンネル絶縁膜 2 の劣化を防止するために、オーバーラップ部分の不純物濃度を

最適化できるという効果が得られる。

【0078】以下に、図15(a)～(c)を参照しながら、本実施形態の記憶装置の製造方法を説明する。

【0079】まず、図15(a)に示すように、表面が保護酸化膜50に覆われたシリコン基板1上にフォトレジストパターン12を形成した後、シリコン基板1中にヒ素イオンを注入する。フォトレジストパターン12の幅(チャネル長方向に沿って計測したサイズ)は0.3から0.4 $\mu\text{m}$ とする。なお、本実施形態では、ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $5 \times 10^{13}$ から $5 \times 10^{14} \text{ cm}^{-2}$ とする。このイオン注入によって、半導体領域表面のフォトレジストパターン12で覆われていない領域に低濃度不純物拡散層6a'および6b'が形成される。

【0080】フォトレジストパターン12および保護酸化膜50を除去した後、図15(b)に示すように、トンネル絶縁膜2、浮遊ゲート電極3、容量絶縁膜4および制御ゲート電極5からなる積層ゲート構造を形成する。この積層ゲート構造は、熱酸化法によってトンネル絶縁膜2を形成する工程、浮遊ゲート電極3となる第1の多結晶シリコン膜を化学的気相成長法によってトンネル絶縁膜2上に堆積する工程、第1の多結晶シリコン膜上に容量絶縁膜4を形成する工程、制御ゲート電極5となる第2の多結晶シリコン膜を化学的気相成長法によって容量絶縁膜4上に堆積する工程、およびこれらの多層膜を公知のリソグラフィおよびエッチング技術を用いてパターンニングする工程を含む一連の製造プロセス工程によって作成される。本実施形態では、積層ゲート構造の幅(チャネル長方向に沿って計測したサイズ)は0.5から0.6 $\mu\text{m}$ とする。

【0081】上記積層ゲート構造のパターンニングのためのリソグラフィ工程において、チャネル領域の中央部を垂直に横切る平面に関して浮遊ゲート電極3と低濃度不純物拡散層6a'および6b'とのオーバーラップの程度が対称になるように、積層ゲート構造と低濃度不純物拡散層6a'および6b'との位置あわせが実行される。浮遊ゲート電極3と低濃度不純物拡散層6b'とのオーバーラップ部分のサイズ(オーバーラップ長)は、本実施形態の場合、0.05から0.15 $\mu\text{m}$ となる。上記位置合わせに0.1 $\mu\text{m}$ 程度以下のズレが生じることがあるが、それはデバイス性能に大きく影響しない。

【0082】なお、浮遊ゲート電極3と低濃度不純物拡散層6a'および6b'とのオーバーラップの程度は、チャネル領域の中央部を垂直に横切る平面に関して対称になる必要性は必ずしも無い。このことは、後で説明する他の実施形態についても同様である。

【0083】次に、図15(c)に示すように、公知の薄膜堆積技術およびエッチバック技術を用いて絶縁性のサイドウォールスペーサ(厚さ:約100から約150nm)9aおよび9bを積層ゲート構造の側壁に形成

した後、シリコン基板1にヒ素イオンを注入する。ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $5 \times 10^{14}$ から $5 \times 10^{15} \text{ cm}^{-2}$ とする。このイオン注入によって、シリコン基板1の表面のうち積層ゲート構造が設けられている領域以外の領域に、高濃度不純物拡散層11aおよび11bが形成される。低濃度不純物拡散層6a'および6b'のうち、積層ゲート構造およびサイドウォールスペーサに覆われている領域には、追加的にヒ素イオンが注入されないが、それ以外の領域には高レベルのヒ素イオンドーピングが行われる。このため、低濃度不純物拡散層6a'および6b'の一部は、低濃度ソース領域6aおよび低濃度ドレイン領域6bとして機能することになるが、他の部分は高濃度不純物拡散層11aおよび11bに変化する。高濃度不純物拡散層11aおよび11bは、それぞれ、高濃度ソース領域および高濃度ドレイン領域として機能することになる。

【0084】低濃度ソース領域6aおよび低濃度ドレイン領域6bは、上述のように、半導体基板表面から注入された不純物イオンによって形成される。これらの不純物イオンは、注入後に実行される複数の高温プロセス工程時に熱拡散する。このため、最終的に完成した不揮発性半導体記憶装置における低濃度ドレイン領域6bは、注入直後よりも厚くなり、また、その端部はチャネル領域の中央部に向かって僅かに広がる。また、同様に高濃度ドレイン領域11b中の不純物も拡散するためその端部がチャネル領域の中央部に向かって僅かに広がり、サイドウォールスペーサ9bの下部にまで進入する。このことはソース領域でも同様に生じる。しかし、このような不純物拡散が生じて、浮遊ゲート電極3によって覆われている低濃度ドレイン領域6bのオーバーラップ部分には、チャネル長方向に沿ってほとんど不純物濃度が変化しない均一領域が存在する。

【0085】なお、ソース/ドレイン領域の形成が完了した後、層間絶縁膜の形成および多層配線の形成などの公知の製造工程を行い、最終的な不揮発性半導体記憶装置が製造される。

【0086】(第3の実施形態)以下、図7を参照しながら本発明による不揮発性半導体記憶装置の第3の実施形態を説明する。本実施形態の記憶装置も、nチャネルMOS型フラッシュEEPROMである。

【0087】図7に示されるように、本実施形態の不揮発性半導体記憶装置は、p型半導体領域を含む単結晶シリコン基板1のp型半導体領域に形成されている。図7では、単一のメモリセルしか記載されていないが、現実には、多数のメモリセルが同一基板上に集積されている。

【0088】本実施形態の装置は、半導体領域内に形成される不純物拡散層の構成を除けば、図6の装置とほとんど同じ構成であるので、両者に共通する構造について

は説明を省略し、相違点を詳細に説明することにする。

【0089】本実施形態に特徴的な点は、(1) 浮遊ゲート電極3がドレイン領域の一部分とオーバーラップしており、このオーバーラップ部分の中に、不純物濃度がチャンネル長方向に沿って横方向に一定の「均一領域」が含まれていること、(2) ドレイン領域が不純物濃度の比較的低い第1の不純物拡散層6bと不純物濃度の比較的高い第2の不純物拡散層11bとを含んでいること、および(3) 第1の不純物拡散層6bの「全体」と第2の不純物拡散層11bの「一部」が浮遊ゲート電極3によってオーバーラップされていることにある。

【0090】なお、ソース領域の構成は、ドレイン領域の構成と同様に、不純物濃度の比較的低い第1の不純物拡散層6aと不純物濃度の比較的高い第2の不純物拡散層11aとを含んでおり、第1の不純物拡散層6aの全体と第2の不純物拡散層11aの一部が浮遊ゲート電極3によってオーバーラップされている。

【0091】データ書き込みの際に浮遊ゲート電極3の電位が上昇すると(例えば3.3~5ボルトに上昇すると)、不純物濃度の比較的低い第1の不純物拡散層6bの少なくとも表面に反転層が形成される。この反転層は、第2の不純物拡散層11bのエッジからチャンネル領域に延び、浮遊ゲート電極3の真下に位置する。このような反転層の存在によって、第2の不純物拡散層11bに与えられた高いドレイン電位は、第1の不純物拡散層6bのチャンネル領域側エッジに至るまで、ほとんど降下することなく伝達される。

【0092】図8(a)は、データ書き込み時におけるドレイン領域およびその近傍の表面電位(ポテンシャル)を示している。図8(a)からわかるように、データ書き込み時、第1の不純物拡散層6bの表面における電位は、第2の不純物拡散層11bの電位(ドレイン電位:例えば5ボルト)とほぼ等しい値を持ち、第1の不純物拡散層6bとチャンネル領域との境界部分で急峻に変化している。このような電位の急峻な変化によって、図4(a)に示すような強い電界ピークが形成される。

【0093】本実施形態では、第1の不純物拡散層6bの全体が浮遊ゲート電極3によって覆われている。このため、浮遊ゲート電極3に正電位を与えることによって第1の不純物拡散層6bに形成した反転層は、とぎれることなく第2の不純物拡散層11bのエッジからチャンネル領域にまで延びる。その結果、第2の不純物拡散層11bの高い電位(ドレイン電位)が第1の不純物拡散層6b内でも高い値を維持しながら、チャンネル領域に隣接する部分にまで伝達されることになる。

【0094】浮遊ゲート電極3の電位を低下させることによって、強反転層から弱反転層に変化し、さらには(弱)反転層が消えると、図8(b)に示すように、第1の不純物拡散層6bの表面電位(ポテンシャル)はチャンネル領域に近づくに従って低下することになる。その

結果、第1の不純物拡散層6bとチャンネル領域との境界部分における電界は緩和される。

【0095】図8(a)および(b)を比較すると良くわかるように、第1の不純物拡散層6bは、浮遊ゲート電極3の電位に応じて、第2の不純物拡散層11bの電位をソース領域側に伝達したり、緩和したりする。

【0096】第1の不純物拡散層6bの不純物濃度は、データ書き込み時において第1の不純物拡散層6bの表面に反転層が形成される程度の不純物濃度(例えば $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ )であることが好ましい。このような第1の不純物拡散層6bは、浮遊ゲート電極3に適当な電位が与えられたとき、反転層を形成することによって、高い不純物濃度を持つ第2の不純物拡散層11bと電気的に同様の機能を発揮することができる。

【0097】本実施形態では、ドレイン領域が、浮遊ゲート電極3の電位にかかわらず実質的に一定のドレイン電位を示す高不純物濃度部分(第2の不純物拡散層11b)と、浮遊ゲート電極3の電位に応じて表面電位がドレイン電位に等しいレベルからドレイン電位よりも低いレベルにまで変化する低不純物濃度部分(第1の不純物拡散層6b)とを含み、しかも、第1の不純物拡散層6bの全体および第2の不純物拡散層11bの一部が浮遊ゲート電極3によってオーバーラップされている。このような構成によって、データ書き込み時において、浮遊ゲート電極3のエッジからチャンネル領域の中央部に向かってシフトした位置に強い電界を形成することが可能になる。

【0098】なお、データ消去時においては、第2の不純物拡散層11bに高い電位(ドレイン電位)を供給しながら浮遊ゲート電極3にゼロまたは負の電位を与える。このとき、第1の不純物拡散層6bがドレイン電位を緩和するため、バンドベンディングによるバンド間トンネリングが抑制され、ゲート酸化膜2がホールをトラップしてしまうという問題を回避することも可能になる。

【0099】次に、図9(a)および(b)を参照しながら、図7の装置の製造方法を説明する。

【0100】まず、図9(a)に示すように、表面が保護酸化膜50に覆われたシリコン基板1上にフォトレジストパターン12を形成した後、シリコン基板1中にヒ素イオンを注入する。フォトレジストパターン12の幅(チャンネル長方向に沿って計測したサイズ)は0.3から0.4  $\mu\text{m}$ とする。なお、本実施形態では、ヒ素イオンの注入加速エネルギーは30から60 keV、ドーズ量は $5 \times 10^{13}$ から $5 \times 10^{14} \text{ cm}^{-2}$ とする。このイオン注入によって、半導体領域表面のフォトレジストパターン12で覆われていない領域に低濃度不純物拡散層6a'および6b'が形成される。

【0101】フォトレジストパターン12および保護酸化膜50を除去した後、図9(b)に示すように、トン

ネル絶縁膜 2、浮遊ゲート電極 3、容量絶縁膜 4 および制御ゲート電極 5 からなる積層ゲート構造を形成する。この積層ゲート構造は、熱酸化法によってトンネル絶縁膜 2 を形成する工程、浮遊ゲート電極 3 となる第 1 の多結晶シリコン膜を化学的気相成長法によってトンネル絶縁膜 2 上に堆積する工程、第 1 の多結晶シリコン膜上に容量絶縁膜 4 を形成する工程、制御ゲート電極 5 となる第 2 の多結晶シリコン膜を化学的気相成長法によって容量絶縁膜 4 上に堆積する工程、およびこれらの多層膜を公知のリソグラフィおよびエッチング技術を用いてパターンニングする工程を含む一連の製造プロセス工程によって作成される。本実施形態では、積層ゲート構造の幅（チャンネル長方向に沿って計測したサイズ）は 0.5 から 0.6  $\mu\text{m}$  とする。

【0102】上記積層ゲート構造のパターンニングのためのリソグラフィ工程において、積層ゲート構造と低濃度不純物拡散層 6 a' および 6 b' との位置あわせは、浮遊ゲート電極 3 が低濃度不純物拡散層 6 b' の一部とオーバーラップするように実行される。浮遊ゲート電極 3 と低濃度不純物拡散層 6 b' とのオーバーラップ部分のサイズ（オーバーラップ長）は、本実施形態の場合、約 100 から 150 nm とする。

【0103】次に、パターンニングされた積層ゲート構造をマスクとして、ヒ素イオンを注入する。ヒ素イオンの注入加速エネルギーは 30 から 60 keV、ドーズ量は  $5 \times 10^{14}$  から  $5 \times 10^{15} \text{ cm}^{-2}$  とする。このイオン注入によって、半導体表面のうち積層ゲート構造が設けられている領域以外の領域に、高濃度不純物拡散層 11 a および 11 b が形成される。高濃度不純物拡散層 11 a および 11 b は、イオン注入直後に浮遊ゲート電極 3 によってオーバーラップされなかったとしても、その後の熱処理プロセスを経て横方向に拡散するため、図 9

(b) に示すように、高濃度不純物拡散層 11 a および 11 b の一部が浮遊ゲート電極 3 によってオーバーラップされる。最終的に、高濃度不純物拡散層 11 a および 11 b は、それぞれ、高濃度ソース領域および高濃度ドレイン領域として機能することになる。

【0104】低濃度ソース領域 6 a および低濃度ドレイン領域 6 b は、上述のように、半導体基板表面から注入された不純物イオンによって形成される。これらの不純物イオンは、注入後に実行される複数の高温プロセス工程時に熱拡散する。このため、最終的に完成した不揮発性半導体記憶装置における低濃度ドレイン領域 6 b は、注入直後よりも厚くなり、また、その端部はチャンネル領域の中央部に向かって僅かに広がる。しかし、このような不純物拡散が生じても、浮遊ゲート電極 3 によって覆われている低濃度ドレイン領域 6 b のオーバーラップ部分には、チャンネル長方向に沿ってほとんど不純物濃度が変化しない均一領域が存在する。

【0105】（第 4 の実施形態）以下、図 10 を参照し

ながら本発明による不揮発性半導体記憶装置の第 4 の実施形態を説明する。本実施形態の記憶装置も、n チャンネル MOS 型フラッシュ EEPROM である。

【0106】図 10 に示されるように、本実施形態の不揮発性半導体記憶装置は、p 型半導体領域を含む単結晶シリコン基板 1 の p 型半導体領域に形成されている。図 10 では、単一のメモリセルしか記載されていないが、現実には、多数のメモリセルが同一基板上に集積されている。

【0107】本実施形態の装置は、半導体領域内に形成される不純物拡散層の構成を除けば、図 6 の装置とほとんど同じ構成であるので、両者に共通する構造については説明を省略し、相違点を詳細に説明することにする。

【0108】本実施形態に特徴的な点は、（1）浮遊ゲート電極 3 がドレイン領域の一部分とオーバーラップしており、このオーバーラップ部分の中に、不純物濃度がチャンネル長方向に沿って横方向に一定の「均一領域」が含まれていること、および（2）ドレイン領域が不純物濃度の比較的低い第 1 の不純物拡散層 6 b と、不純物濃度の比較的高い第 2 の不純物拡散層 11 b と、第 1 および第 2 不純物拡散層の間に設けられた第 3 の不純物拡散層 8 b とを含んでいることにある。なお、ソース領域の構成は、ドレイン領域の構成と同様に、不純物濃度の比較的低い第 1 の不純物拡散層 6 a と、不純物濃度の比較的高い第 2 の不純物拡散層 11 a と、第 1 および第 2 不純物拡散層の間に設けられた第 3 の不純物拡散層 8 a とを含んでいる。

【0109】ドレイン領域のオーバーラップ部分の大部分は、不純物濃度が  $1 \times 10^{18}$  から  $1 \times 10^{19} \text{ cm}^{-3}$  の第 1 の不純物拡散層 6 b から形成されており、サイドウォールスペーサ 9 b の真下には不純物濃度が  $2 \times 10^{18}$  から  $2 \times 10^{19} \text{ cm}^{-3}$  の第 3 の不純物拡散層 8 b が位置している。図 10 からわかるように、第 3 の不純物拡散層 8 a および 8 b は、浮遊ゲート電極 3 によって部分的に覆われている。ドレイン領域のそれ以外の部分は不純物濃度が  $1 \times 10^{20} \text{ cm}^{-3}$  以上の第 2 の不純物拡散層 11 b から形成されている。

【0110】本実施形態では、オーバーラップ部分のチャンネル長方向に沿って計測したサイズ ( $L_{OVR}$ ) は、130 nm 程度であり、均一領域のチャンネル長方向に沿って計測したサイズ ( $L_{UNI}$ ) は、100 nm 程度である。オーバーラップ長  $L_{OVR}$  は、オーバーラップ部分の厚さ (= その部分の接合深さ  $X_j$  = 約 50 nm) よりも大きい。

【0111】本実施形態の記憶装置も、第 2 の実施形態の装置と同様に動作し、第 2 の実施形態の装置による効果と同様の効果が発揮される。この効果に加えて、本実施形態によれば、電子の引き抜きが生じる領域での n 型不純物濃度が図 6 の装置の場合よりも高いため、消去効率が改善されるという効果が得られる。



【0112】以下に、図16(a)～(c)を参照しながら、本実施形態の記憶装置の製造方法を説明する。

【0113】まず、図16(a)に示すように、表面が保護酸化膜50に覆われたシリコン基板1上にフォトレジストパターン12を形成した後、シリコン基板1中にヒ素イオンを注入する。フォトレジストパターン12の幅(チャネル長方向に沿って計測したサイズ)は0.3から0.4 $\mu\text{m}$ とする。なお、本実施形態でも、ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $1 \times 10^{13}$ から $1 \times 10^{14} \text{cm}^{-2}$ とする。このイオン注入によって、シリコン基板1の表面のフォトレジストパターン12で覆われていない領域に低濃度不純物拡散層6a'および6b'が形成される。

【0114】フォトレジストパターン12および保護酸化膜50を除去した後、図16(b)に示すように、トンネル絶縁膜2、浮遊ゲート電極3、容量絶縁膜4および制御ゲート電極5からなる積層ゲート構造を形成する。この積層ゲート構造は、熱酸化法によってトンネル絶縁膜2を形成する工程、浮遊ゲート電極3となる第1の多結晶シリコン膜を化学的気相成長法によってトンネル絶縁膜2上に堆積する工程、第1の多結晶シリコン膜上に容量絶縁膜4を形成する工程、制御ゲート電極5となる第2の多結晶シリコン膜を化学的気相成長法によって容量絶縁膜4上に堆積する工程、およびこれらの多層膜を公知のリソグラフィおよびエッチング技術を用いてパターンニングする工程を含む一連の製造プロセス工程によって作成される。本実施形態では、積層ゲート構造の幅(チャネル長方向に沿って計測したサイズ)は0.5から0.6 $\mu\text{m}$ とする。

【0115】上記積層ゲート構造のパターンニングのためのリソグラフィ工程において、チャネル領域の中央部を垂直に横切る平面に関して浮遊ゲート電極3と低濃度不純物拡散層6a'および6b'とのオーバーラップの程度が対称になるように、積層ゲート構造と低濃度不純物拡散層6a'および6b'との位置あわせが実行される。浮遊ゲート電極3と低濃度不純物拡散層6b'とのオーバーラップ部分のサイズ(オーバーラップ長)は、本実施形態の場合、約100から150nmとなる。

【0116】次に、図16(b)に示すように、パターンニングされた積層ゲート構造をマスクとして、ヒ素イオンを注入する。ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $5 \times 10^{13}$ から $5 \times 10^{14} \text{cm}^{-2}$ とする。このイオン注入によって、半導体表面のうち積層ゲート構造が設けられている領域以外の領域に、不純物拡散層8a'および8b'が形成される。低濃度不純物拡散層6a'および6b'のうち、積層ゲート構造に覆われている領域には、追加的にヒ素イオンが注入されないが、それ以外の領域には中間レベルのヒ素イオンドーピングが行われる。このため、低濃度不純物拡散層6a'および6b'の一部は、低濃度ソース領域

6aおよび低濃度ドレイン領域6bとして機能するようになる。

【0117】次に、図16(c)に示すように、積層ゲート構造の側壁に絶縁性のサイドウォールスペーサ9aおよび9bを形成した後、ヒ素イオンを注入する。ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $5 \times 10^{14}$ から $5 \times 10^{15} \text{cm}^{-2}$ とする。このイオン注入によって、半導体表面のうち積層ゲート構造およびサイドウォールスペーサ9aおよび9bが設けられている領域以外の領域に、高濃度不純物拡散層11aおよび11bが形成される。不純物拡散層8a'および8b'のうち、積層ゲート構造またはサイドウォールスペーサに覆われている領域には、追加的にヒ素イオンが注入されないが、それ以外の領域には高レベルのヒ素イオンドーピングが行われる。このため、不純物拡散層8a'および8b'の一部は、中濃度ソース領域8aおよび中濃度ドレイン領域8bとして機能するようになるが、他の部分は高濃度不純物拡散層11aおよび11bに変化する。高濃度不純物拡散層11aおよび11bは、それぞれ、高濃度ソース領域および高濃度ドレイン領域として機能することになる。

【0118】低濃度ソース領域6aおよび低濃度ドレイン領域6bは、上述のように、半導体基板表面から注入された不純物イオンによって形成される。これらの不純物イオンは、注入後に実行される複数の高温プロセス工程時に熱拡散する。このため、最終的に完成した不揮発性半導体記憶装置における低濃度ドレイン領域6bは、注入直後よりも厚くなり、また、その端部はチャネル領域の中央部に向かって僅かに広がる。また、同様に中濃度ドレイン領域8b中の不純物も拡散するためその端部がチャネル領域の中央部に向かって僅かに広がり、浮遊ゲート電極3の下部にまで進入する。このことはソース領域でも同様に生じる。しかし、このような不純物拡散が生じて、浮遊ゲート電極3によって覆われている低濃度ドレイン領域6bのオーバーラップ部分には、チャネル長方向に沿ってほとんど不純物濃度が変化しない均一領域が存在する。その結果、高濃度ドレイン領域11bに配線を介して供給された電位レベルを、比較的に高く維持しながら、チャネル領域と低濃度ドレイン領域6bとの接合部分にまで伝えることが可能になる。このことによって、浮遊ゲート電極3によってカバーされた半導体表面領域のうち、中央部に近い位置において、強い水平方向電界ピークを形成することができるようになる。

【0119】なお、ソース/ドレイン領域の形成が完了した後、層間絶縁膜の形成および多層配線の形成などの公知の製造工程を行い、最終的な不揮発性半導体記憶装置が製造される。

【0120】(第5の実施形態)以下、図11を参照しながら本発明による不揮発性半導体記憶装置の第5の実



施形態を説明する。本実施形態の記憶装置も、 $n$ チャネルMOS型フラッシュEEPROMである。

【0121】図11に示されるように、本実施形態の不揮発性半導体記憶装置は、 $p$ 型半導体領域を含む単結晶シリコン基板1の $p$ 型半導体領域に形成されている。図11では、単一のメモリセルしか記載されていないが、現実には、多数のメモリセルが同一基板上に集積されている。

【0122】本実施形態の装置は、半導体領域内に形成される不純物拡散層の構成を除けば、図10の装置とほとんど同じ構成であるので、両者に共通する構造については説明を省略し、相違点を詳細に説明することにする。

【0123】本実施形態に特徴的な点は、(1)浮遊ゲート電極3がドレイン領域の一部分とオーバーラップしており、このオーバーラップ部分の中に、不純物濃度がチャネル長方向に沿って横方向に一定の「均一領域」が含まれていること、(2)ドレイン領域が不純物濃度の比較的低い第1の不純物拡散層と、不純物濃度の比較的高い第2の不純物拡散層と、第1および第2の不純物拡散層の間に設けられた第3の不純物拡散層とを含んでいること、および(3)チャネル領域が、ドレイン領域のオーバーラップ部分に接する位置に形成された相対的に高濃度の $p$ 型不純物拡散層7bを含んでいることにある。本実施形態の $p$ 型不純物拡散層7bの不純物濃度は $2 \times 10^{17}$ から $1 \times 10^{18} \text{ cm}^{-3}$ である。

【0124】本実施形態の記憶装置も、第4の実施形態の装置と同様に動作し、第4の実施形態の装置による効果と同様の効果が発揮される。この効果に加えて、本実施形態によれば、 $p$ 型半導体領域7bの存在がドレイン端に形成される電界強度を前述の実施形態の場合に比較して増大させ、それによってデータ書き込み時の電子注入効率を更に向上させることができる。

【0125】本実施形態の装置を製造するには、第4の実施形態の製造方法において、前述の図16(a)に示すフォトリソパターンの12でシリコン基板1の表面をマスクした後、シリコン基板1に対してボロン(B)等の $p$ 型不純物イオンを注入し、それによって $p$ 型不純物拡散層7aおよび7bを形成する工程を追加すればよい。この $p$ 型不純物イオンの注入工程は、低濃度不純物拡散層6aおよび6bのための $n$ 型不純物イオンの注入工程の前に行っても後に行っても良い。 $p$ 型不純物イオンの注入条件は、例えば、加速エネルギーが20から40keV、注入ドーズ量が $5 \times 10^{12}$ から $5 \times 10^{13} \text{ cm}^{-2}$ である。

【0126】(第6の実施形態)以下、図12を参照しながら本発明による不揮発性半導体記憶装置の第5の実施形態を説明する。本実施形態の記憶装置も、 $n$ チャネルMOS型フラッシュEEPROMである。

【0127】図12に示されるように、本実施形態の不

揮発性半導体記憶装置は、 $p$ 型半導体領域を含む単結晶シリコン基板1の $p$ 型半導体領域に形成されている。図9では、単一のメモリセルしか記載されていないが、現実には、多数のメモリセルが同一基板上に集積されている。

【0128】本実施形態の装置は、半導体領域内に形成される不純物拡散層の構成を除けば、図11の装置とほとんど同じ構成であるので、両者に共通する構造については説明を省略し、相違点を詳細に説明することにする。

【0129】本実施形態に特徴的な点は、(1)浮遊ゲート電極3がドレイン領域の一部分とオーバーラップしており、このオーバーラップ部分の中に、不純物濃度がチャネル長方向に沿って横方向に一定の「均一領域」が含まれていること、(2)ドレイン領域が不純物濃度の比較的低い第1の不純物拡散層6bと、不純物濃度の比較的高い第2の不純物拡散層11bと、第1および第2の不純物拡散層の間に設けられた第3の不純物拡散層8bとを含んでいること、(3)チャネル領域が、ドレイン領域のオーバーラップ部分に接する位置に形成された相対的に高濃度の $p$ 型不純物拡散層7bを含んでいること、および(4)第2の不純物拡散層11bと $p$ 型半導体領域との間に設けられた $n$ 型の低濃度不純物拡散層12bを含むことにある。

【0130】この $n$ 型低濃度不純物拡散層12bは、第3の不純物拡散層8bの不純物濃度よりも低い不純物濃度を持つ。なお、本実施形態の $p$ 型不純物拡散層7bの不純物濃度は、基板表面領域において、 $2 \times 10^{17}$ から $1 \times 10^{18} \text{ cm}^{-3}$ であり、 $n$ 型低濃度不純物拡散層12bの不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ から $1 \times 10^{19} \text{ cm}^{-3}$ である。

【0131】本実施形態の記憶装置も、第5の実施形態の装置と同様に動作し、第5の実施形態の装置による効果と同様の効果が発揮される。この効果に加えて、本実施形態によれば、 $n$ 型低濃度不純物拡散層12bの存在がドレイン耐圧を向上させ、接合の寄生容量を低減する。また、ドレイン接合の耐圧が大きいため、データ消去時にリーク電流が減少し、消費電力の低減が達成される。リーク電流の低減は、トンネル絶縁膜2へのホットエレクトロンやホットホール注入を抑制し、信頼性を更に向上させる。

【0132】以下に、図17(a)～(c)を参照しながら、本実施形態の記憶装置の製造方法を説明する。

【0133】まず、図17(a)に示すように、表面が保護酸化膜50に覆われたシリコン基板1上にフォトリソパターンの12を形成した後、シリコン基板1中にヒ素イオンおよびボロンを注入する。フォトリソパターンの12の幅(チャネル長方向に沿って計測したサイズ)は0.3から0.4 $\mu\text{m}$ とする。なお、本実施形態では、ヒ素イオンの注入加速エネルギーは30から60k

eV、ドーズ量は $1 \times 10^{13}$ から $1 \times 10^{14} \text{ cm}^{-2}$ とし、ボロンイオンの注入加速エネルギーは20から40 keV、ドーズ量は $5 \times 10^{12}$ から $5 \times 10^{13} \text{ cm}^{-2}$ とする。このイオン注入によって、シリコン基板1の表面のフォトレジストパターン12で覆われていない領域に低濃度不純物拡散層6a'および6b'およびp型不純物拡散層7a'および7b'が形成される。イオン注入の条件は、シリコン基板1の表面におけるn型不純物濃度がp型不純物濃度よりも大きくなるようにするとともに、基板表面から計測した低濃度不純物拡散層6a'および6b'の接合深さが、基板表面から計測したp型不純物拡散層7a'および7b'の接合深さよりも浅くなるようにする。

【0134】フォトレジストパターン12および保護酸化膜50を除去した後、図17(b)に示すように、トンネル絶縁膜2、浮遊ゲート電極3、容量絶縁膜4および制御ゲート電極5からなる積層ゲート構造を形成する。この積層ゲート構造は、熱酸化法によってトンネル絶縁膜2を形成する工程、浮遊ゲート電極3となる第1の多結晶シリコン膜を化学的気相成長法によってトンネル絶縁膜2上に堆積する工程、第1の多結晶シリコン膜上に容量絶縁膜4を形成する工程、制御ゲート電極5となる第2の多結晶シリコン膜を化学的気相成長法によって容量絶縁膜4上に堆積する工程、およびこれらの多層膜を公知のリソグラフィおよびエッチング技術を用いてパターンニングする工程を含む一連の製造プロセス工程によって作成される。本実施形態では、積層ゲート構造の幅(チャネル長方向に沿って計測したサイズ)は0.5から0.6  $\mu\text{m}$ とする。

【0135】上記積層ゲート構造のパターンニングのためのリソグラフィ工程において、チャネル領域の中央部を垂直に横切る平面に関して浮遊ゲート電極3と低濃度不純物拡散層6a'および6b'とのオーバーラップの程度が対称になるように、積層ゲート構造と低濃度不純物拡散層6a'および6b'との位置あわせが実行される。浮遊ゲート電極3と低濃度不純物拡散層6b'とのオーバーラップ部分のサイズ(オーバーラップ長)は、本実施形態の場合、0.05から0.15  $\mu\text{m}$ となる。

【0136】次に、図17(b)に示すように、パターンニングされた積層ゲート構造をマスクとして、ヒ素イオンを注入する。ヒ素イオンの注入加速エネルギーは30から60 keV、ドーズ量は $5 \times 10^{13}$ から $5 \times 10^{14} \text{ cm}^{-2}$ とする。このイオン注入によって、半導体表面のうち積層ゲート構造が設けられている領域以外の領域に、n型の不純物拡散層8a'および8b'が形成される。低濃度不純物拡散層6a'および6b'のうち、積層ゲート構造に覆われている領域には、追加的にヒ素イオンが注入されないが、それ以外の領域には中間レベルのヒ素イオンドーピングが行われる。このため、低濃度不純物拡散層6a'および6b'の一部は、低濃度ソー

ス領域6aおよび低濃度ドレイン領域6bとして機能するようになる。また、p型不純物拡散層7a'および7b'のうち、浮遊ゲート電極3によって覆われている部分は、p型不純物拡散層7aおよび7bとして残る。

【0137】次に、図17(c)に示すように、積層ゲート構造の側壁に絶縁性のサイドウォールスペーサ9aおよび9bを形成した後、ヒ素イオンおよびリン

(P)イオンを注入する。ヒ素イオンの注入加速エネルギーは30から60 keV、ドーズ量は $5 \times 10^{14}$ から $5 \times 10^{15} \text{ cm}^{-2}$ とする。リンイオンの注入加速エネルギーは40から60 keV、ドーズ量は $5 \times 10^{12}$ から $5 \times 10^{13} \text{ cm}^{-2}$ とする。ヒ素イオン注入によって、半導体表面のうち積層ゲート構造およびサイドウォールスペーサ9aおよび9bが設けられている領域以外の領域に、高濃度不純物拡散層11aおよび11bが形成される。不純物拡散層8a'および8b'のうち、積層ゲート構造またはサイドウォールスペーサ9aおよび9bに覆われている領域には、追加的にヒ素イオンが注入されないが、それ以外の領域には高レベルのヒ素イオンドーピングが行われる。このため、不純物拡散層8a'および8b'の一部は、中濃度ソース領域8aおよび中濃度ドレイン領域8bとして機能するようになるが、他の部分は高濃度不純物拡散層11aおよび11bに変化する。高濃度不純物拡散層11aおよび11bは、それぞれ、高濃度ソース領域および高濃度ドレイン領域として機能することになる。また、上記イオン注入によって注入されたリンによって、n型低濃度不純物拡散層12aおよび12bが形成される。リンの不純物拡散係数は、ヒ素の不純物拡散係数よりも大きいので、注入後に行われる熱処理工程で、n型低濃度不純物拡散層12aおよび12bはサイドウォール9aおよび9bの下方向にも拡張する。

【0138】(第7の実施形態)以下、図13を参照しながら本発明による不揮発性半導体記憶装置の第7の実施形態を説明する。本実施形態の記憶装置も、nチャネルMOS型フラッシュEEPROMである。

【0139】図13に示されるように、本実施形態の不揮発性半導体記憶装置は、p型半導体領域を含む単結晶シリコン基板のp型半導体領域に形成されている。図13では、単一のメモリセルしか記載されていないが、現実には、多数のメモリセルが同一基板上に集積されている。

【0140】本実施形態の装置は、半導体領域内に形成される不純物拡散層の非対称構成を除けば、図12の装置とほとんど同じ構成であるので、両者に共通する構造については説明を省略し、相違点を詳細に説明することにする。

【0141】本実施形態の装置と図12の装置との間にある差異は、本装置のドレイン領域の構造が図12の装置のそれと同じ構造を有しながら、そのソース領域から

p型不純物拡散層7aが除かれた構造を有している点にある。

【0142】本実施形態の装置では、書き込み動作をドレイン側で行い、消去動作をソース側で行うことができる。このため、形成する電界強度を更に大きくすることができ、それによって注入効率をいっそう向上させることが可能である。

【0143】消去動作時においては、制御ゲート電極5に-6から-8V、ソース領域11aに5から6V、ドレイン領域11bおよび基板に0Vの電圧を印加し、トンネル絶縁膜2を流れるトンネル電流によって電子を浮遊ゲート電極3からソース領域に引き抜く。この場合、上記電圧印加条件下でトンネル絶縁膜2に形成される最も電界強度の強い部分で電子のトンネリングが生じる。電子の引き抜きは、ソース領域で行われるので、書き込み（電子の注入）とは異なった場所になり、トンネル絶縁膜2の劣化が少なく信頼性に優れている。

【0144】なお、ドレイン側のみp型不純物拡散層7bを設けるには、p型不純物拡散層7bを形成するための不純物イオン注入工程の前に、ソース側をレジストパターンによって覆っておけばよい。この点以外については、図17(a)から(c)を参照して説明した製造方法と同様の製造方法によって図13の装置を製造することができる。

【0145】（第8の実施形態）以下、図14を参照しながら本発明による不揮発性半導体記憶装置の第8の実施形態を説明する。本実施形態の記憶装置も、nチャネルMOS型フラッシュEEPROMである。

【0146】図14に示されるように、本実施形態の不揮発性半導体記憶装置は、p型半導体領域を含む単結晶シリコン基板のp型半導体領域に形成されている。図14では、単一のメモリセルしか記載されていないが、現実には、多数のメモリセルが同一基板上に集積されている。

【0147】本実施形態の装置と図13の装置との間にある差異は、本装置のドレイン領域の構造が図13の装置のそれを同じ構造を有しながら、そのソース領域から低濃度不純物拡散層6aが更に除かれた構造を有している点にある。

【0148】本実施形態においても、消去のための電子の引き抜きをソース側で行う。このため、ドレイン領域に印加される電圧は、例えば5V程度と低く、n<sup>-</sup>型低濃度不純物拡散層6bおよびp型不純物拡散層7bの不純物濃度を、それぞれ、第5および6の実施形態の装置の不純物濃度よりも高くしても、ドレイン側の耐圧低下はほとんど問題にならない。このため、本実施形態では、低濃度不純物拡散層6bおよびp型不純物拡散層7bの不純物濃度を、それぞれ、 $1 \times 10^{19}$ から $1 \times 10^{20} \text{ cm}^{-3}$ および $1 \times 10^{17}$ から $1 \times 10^{18} \text{ cm}^{-3}$ に設定している。低濃度不純物拡散層6bの不純物濃度が高い

ので、同一のドレイン電圧を高濃度ドレイン領域11bに印加しても、チャネル領域内に形成される電界の強度が上昇し、注入効率が向上する。

【0149】消去動作においては制御ゲート電極5に-6から-8V、ソース領域11aに5から6V、ドレイン領域11bおよびシリコン基板1に0Vの電圧を印加し、トンネル酸化膜2を流れるトンネル電流によって電子を浮遊ゲート電極3からソース領域に引き抜く。この場合も、電子の引き抜きはソース側で行われるので、書き込み（電子の注入）とは異なった場所でトンネリングが生じ、トンネル絶縁膜2の劣化が少なく信頼性に優れている。また、n<sup>-</sup>型低濃度不純物拡散層12aの存在がソース接合の耐圧を改善し、消去動作時のリーク電流を小さくする。このため、消費電力の低減が図れる。リーク電流の低減は、トンネル絶縁膜2へのホットエレクトロンおよびホットホールの注入を抑制するので、信頼性を向上させる。

【0150】以下に、図18(a)～(c)を参照しながら、本実施形態の記憶装置の製造方法を説明する。

【0151】まず、図18(a)に示すように、表面が保護酸化膜50に覆われたシリコン基板1上にフォトレジストパターン12を形成した後、シリコン基板1中にヒ素イオンおよびボロンを注入する。フォトレジストパターン12の幅（チャネル長方向に沿って計測したサイズ）は、活性領域のうちチャネル領域となる部分およびソース領域となる部分を覆うように形成される。ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $1 \times 10^{13}$ から $1 \times 10^{14} \text{ cm}^{-2}$ とし、ボロンイオンの注入加速エネルギーは20から40keV、ドーズ量は $1 \times 10^{13}$ から $1 \times 10^{14} \text{ cm}^{-2}$ とする。このイオン注入によって、シリコン基板1の表面のフォトレジストパターン12で覆われていない領域に低濃度不純物拡散層6b'およびp型不純物拡散層7b'が形成される。

【0152】フォトレジストパターン12および保護酸化膜50を除去した後、図18(b)に示すように、トンネル絶縁膜2、浮遊ゲート電極3、容量絶縁膜4および制御ゲート電極5からなる積層ゲート構造を形成する。この積層ゲート構造は、熱酸化法によってトンネル絶縁膜2を形成する工程、浮遊ゲート電極3となる第1の多結晶シリコン膜を化学的気相成長法によってトンネル絶縁膜2上に堆積する工程、第1の多結晶シリコン膜上に容量絶縁膜4を形成する工程、制御ゲート電極5となる第2の多結晶シリコン膜を化学的気相成長法によって容量絶縁膜4上に堆積する工程、およびこれらの多層膜を公知のリソグラフィおよびエッチング技術を用いてパターンニングする工程を含む一連の製造プロセス工程によって作成される。本実施形態では、積層ゲート構造の幅（チャネル長方向に沿って計測したサイズ）は0.5から0.6 $\mu\text{m}$ とする。

【0153】上記積層ゲート構造のパターニングのためのリソグラフィ工程において、浮遊ゲート電極3と低濃度不純物拡散層6b'とのオーバーラップの程度が、50から150nm程度になるように、積層ゲート構造と低濃度不純物拡散層6b'との位置あわせが実行される。

【0154】次に、図18(c)に示すように、パターニングされた積層ゲート構造をマスクとして、ヒ素イオンを注入する。ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $1 \times 10^{14}$ から $5 \times 10^{14}$  cm<sup>-2</sup>とする。このイオン注入によって、半導体表面のうち積層ゲート構造が設けられている領域以外の領域に、不純物拡散層8a'および8b'が形成される。低濃度不純物拡散層6b'のうち、積層ゲート構造に覆われている領域には、追加的にヒ素イオンが注入されないが、それ以外の領域には中間レベルのヒ素イオンドーピングが行われる。このため、低濃度不純物拡散層6b'の一部は、低濃度ドレイン領域6bとして機能するようになる。また、p型不純物拡散層7b'のうち、浮遊ゲート電極3によって覆われている部分は、p型不純物拡散層7bとして残る。

【0155】次に、図18(c)に示すように、積層ゲート構造の側壁に絶縁性のサイドウォールスペーサ9aおよび9bを形成した後、ヒ素イオンおよびリン

(P)イオンを注入する。ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $5 \times 10^{14}$ から $5 \times 10^{15}$  cm<sup>-2</sup>とする。リンイオンの注入加速エネルギーは40から60keV、ドーズ量は $1 \times 10^{12}$ から $1 \times 10^{14}$  cm<sup>-2</sup>とする。ヒ素イオンを注入することによって、半導体表面のうち積層ゲート構造およびサイド

ち、積層ゲート構造またはサイドウォールスペーサ9aおよび9bに覆われている領域には、追加的にヒ素イオンが注入されないが、それ以外の領域には高レベルのヒ素イオンドーピングが行われる。このため、不純物拡散層8a'および8b'の一部は、中濃度ソース領域8aおよび中濃度ドレイン領域8bとして機能するようになるが、他の部分は高濃度不純物拡散層11aおよび11bに変化する。高濃度不純物拡散層11aおよび11bは、それぞれ、高濃度ソース領域および高濃度ドレイン領域として機能することになる。また、注入されたリンによって、n<sup>-</sup>型低濃度不純物拡散層12aおよび12bが形成される。

【0156】以上説明してきたように、第3から第8の実施形態では、低濃度不純物拡散層6bの全体が浮遊ゲート電極3によって覆われる位置に形成され、しかも、低濃度不純物拡散層6bのドレイン側端部に連結する位置にはドレイン電位を低濃度不純物拡散層6bに伝達するための高濃度不純物拡散層が形成されている。このため、データ書き込みの際に浮遊ゲート電極3に高い電位を与えると、浮遊ゲート電極3の電位に応じて、浮遊ゲート電極3の真下に反転層が形成され、その結果、図8(a)に示すような表面電位分布が形成されることになる。

【0157】図19(a)および(b)は、本発明の不揮発性半導体記憶装置において、データ書き込み時およびデータ消去時に電子トンネリングがどこで生じるかを模式的に示す図である。データ書き込み時と消去時に浮遊ゲート電極3等に与えられる電位は、例えば、以下の表1に示す通りである(単位はボルト)。なお、データ書き込み時には、基板に-2~-3ボルトの電位を与えても良い。

【0158】

【表1】

	ソース領域	浮遊ゲート	ドレイン領域
書き込み時	0	+3.3~5	+5
消去時(例1)	0	0	+10
消去時(例2)	0	-5	+5

データ書き込み時、電子は主に矢印Aで示される経路を通過して第1の不純物拡散層6bのチャネル側端部から浮遊ゲート電極3に注入される。これに対して、データ消去時、図19(a)の構造では、浮遊ゲート電極3の電子は主に矢印Bの経路を通過して第2の不純物拡散層11bに引き抜かれる。また、図19(b)の構造では、データ消去時、浮遊ゲート電極3の電子は主に矢印Bの経路を通過して第3の不純物拡散層8bに引き抜かれる。

【0159】このように、本発明の不揮発性半導体記憶装置によれば、書き込み動作時における電子注入の位置と、消去動作時における電子のトンネリング位置とが異

なるため、トンネル絶縁膜2の劣化が少なく、信頼性に優れる。また、ドレイン側でデータの書き込みおよび消去を実行することができるため、ソース側にビット線を接続する回路構成を実現でき、読み出しディスタブがなくなる。なお、消去動作は、浮遊ゲート電極3に蓄積された電子をソース領域8aまたは11aへ引き抜くことによって実行することも可能である。

【0160】上記各実施形態では、浮遊ゲート電極3の上方に容量絶縁膜(第2の絶縁膜)4を介して制御ゲート電極5を積層しているが、本発明の不揮発性半導体記憶装置はこのようなスタック型ゲート構造を持つものに

限定されない。制御ゲート電極 5 の少なくとも一部がチャネル領域上に絶縁膜を介して対向する構造を有する不揮発性半導体記憶装置でも、図 8 (a) および (b) を用いて説明した現象が生じるため、スタック型ゲート構造を有する不揮発性半導体記憶装置と同様の効果が得られる。

# 【0161】

【発明の効果】本発明によれば、浮遊ゲート電極がドレイン領域の一部分とオーバーラップし、そのオーバーラップ部分がチャネル長方向に沿って水平横方向に不純物濃度が一定の領域を含むため、データ書き込み時に半導体領域内に形成される水平横方向電界の強度ピーク位置を浮遊ゲート電極のドレイン側エッジより内部にシフトさせ、それによってホットエレクトロンを効率良く浮遊ゲート電極に注入させることが可能になる。その結果、チャネルホットエレクトロンの注入効率が向上し、書き込み速度の向上または書き込み電圧の低下が実現する。

## 【図面の簡単な説明】

【図 1】従来の MOS 型フラッシュ EEPROM の断面図である。

【図 2】本発明による不揮発性半導体記憶装置の第 1 の実施形態の断面図である。

【図 3】第 1 の実施形態の装置のドレイン領域における断面構成、不純物濃度および水平方向電界強度分布を模式的に示す図

【図 4】(a) は、第 1 の実施形態の装置のドレイン領域における水平方向電界強度分布を模式的に示す図、

(b) は、従来の装置のドレイン領域における水平方向電界強度分布を模式的に示す図である。

【図 5】(a) から (d) は、図 2 の装置の製造方法を説明するための工程断面図である。

【図 6】本発明による不揮発性半導体記憶装置の第 2 の実施形態の断面図である。

【図 7】本発明による不揮発性半導体記憶装置の第 3 の実施形態の断面図である。

【図 8】(a) は、データ書き込み時におけるドレイン領域およびその近傍の表面電位 (ポテンシャル) を示す図であり、(b) は、浮遊ゲート電極の電位が低下したときのドレイン領域およびその近傍の表面電位 (ポテンシャル) を示す図である。

【図 9】(a) および (b) は、図 7 の装置の製造方法を説明するための工程断面図である。

【図 10】本発明による不揮発性半導体記憶装置の第 3 の実施形態の断面図である。

【図 11】本発明による不揮発性半導体記憶装置の第 4 の実施形態の断面図である。

【図 12】本発明による不揮発性半導体記憶装置の第 5 の実施形態の断面図である。

【図 13】本発明による不揮発性半導体記憶装置の第 6 の実施形態の断面図である。

【図 14】本発明による不揮発性半導体記憶装置の第 7 の実施形態の断面図である。

【図 15】(a) から (c) は、図 6 の装置の製造方法を説明するための工程断面図である。

【図 16】(a) から (c) は、図 7 の装置の製造方法を説明するための工程断面図である。

【図 17】(a) から (c) は、図 9 の装置の製造方法を説明するための工程断面図である。

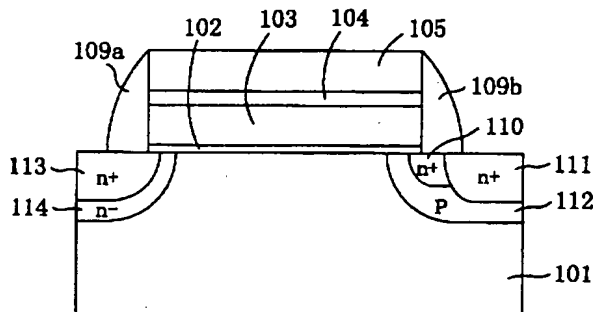
【図 18】(a) から (c) は、図 11 の装置の製造方法を説明するための工程断面図である。

【図 19】(a) および (b) は、本発明の不揮発性半導体記憶装置において、データ書き込み時およびデータ消去時に電子トンネリングがどこで生じるかを模式的に示す図である。

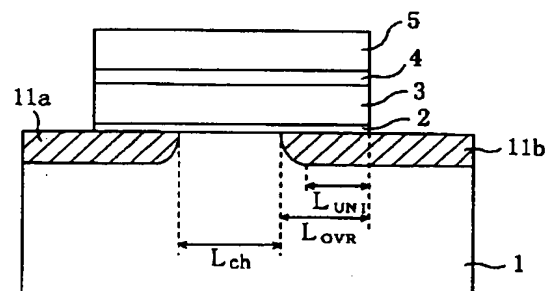
## 【符号の説明】

- 1 単結晶半導体基板
- 2 トンネル絶縁膜
- 3 浮遊制御ゲート (FG)
- 4 容量絶縁膜
- 5 制御ゲート電極 (CG)

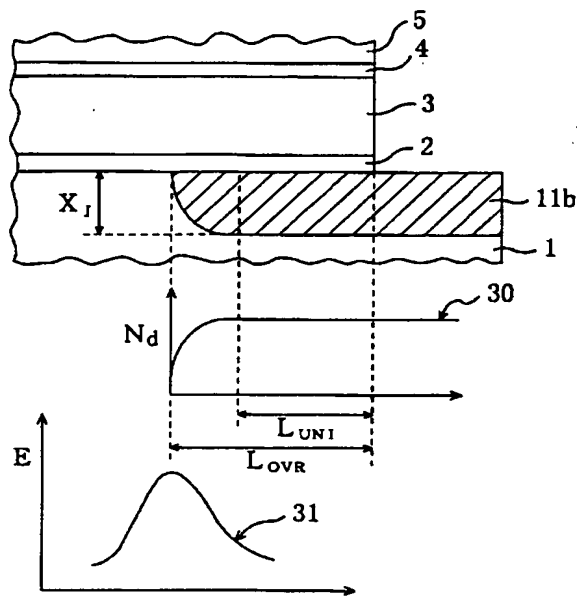
【図 1】



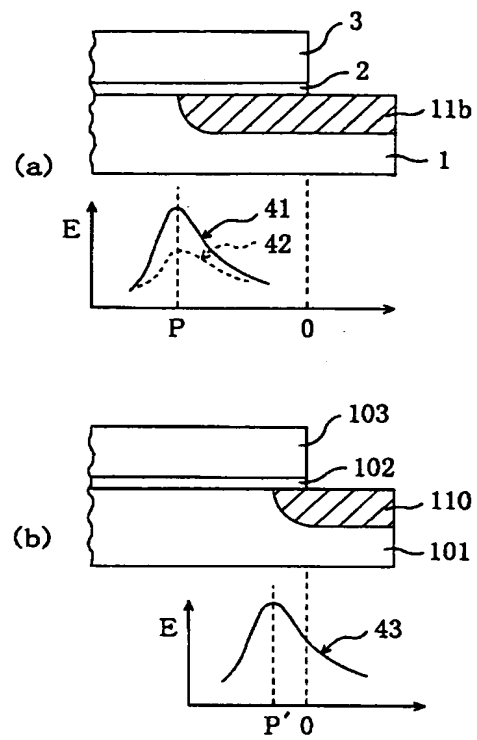
【図 2】



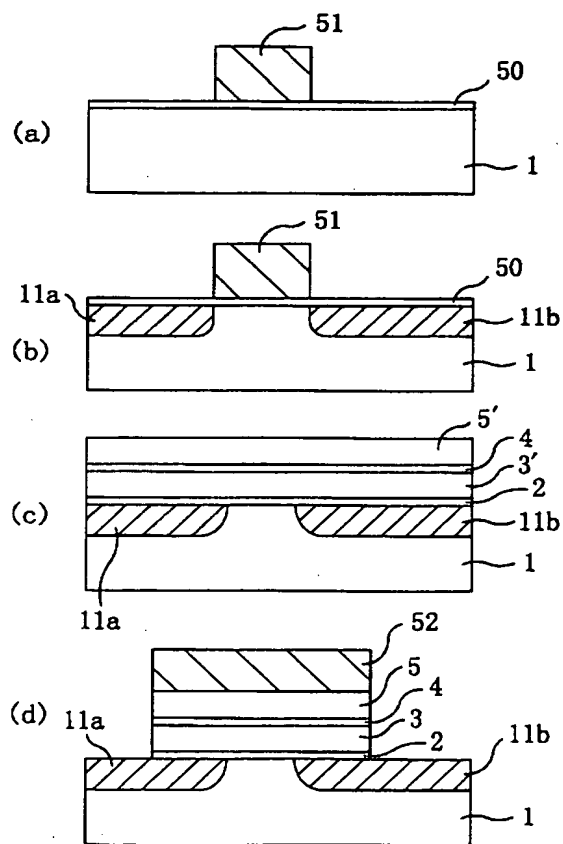
【図 3】



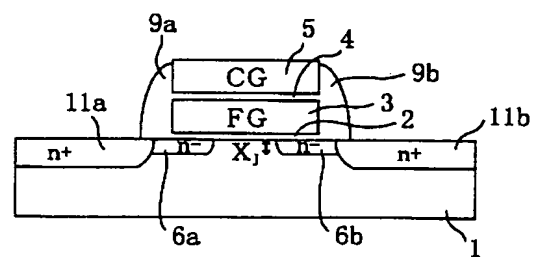
【図 4】



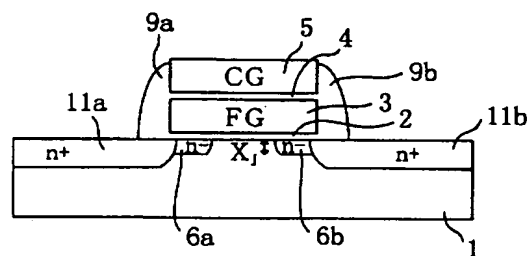
【図 5】



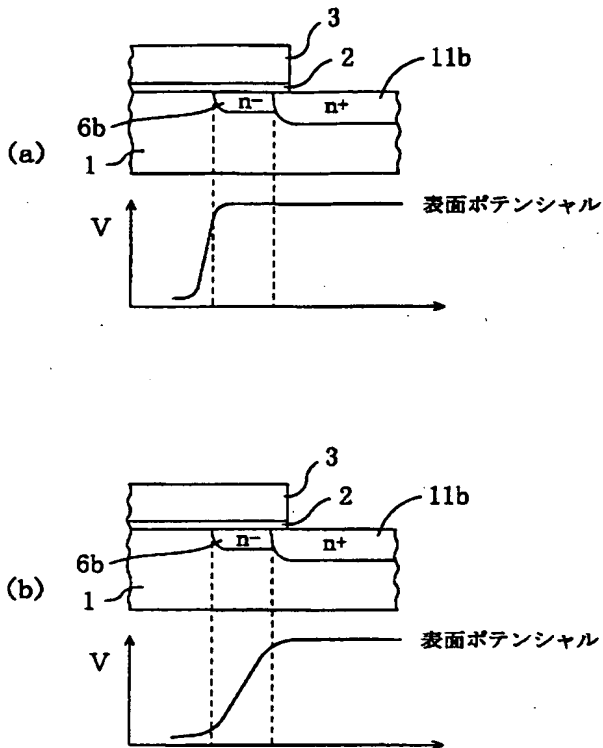
【図 6】



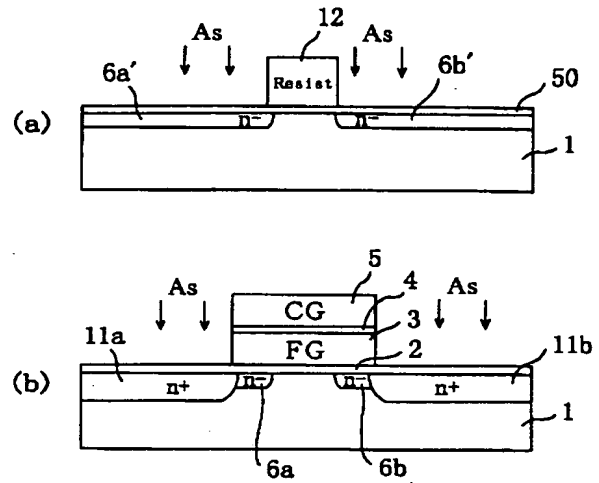
【図 7】



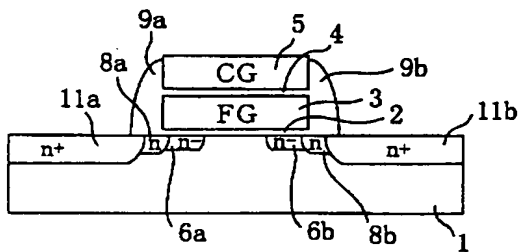
【図8】



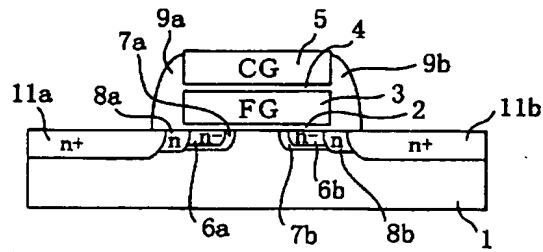
【図9】



【図10】

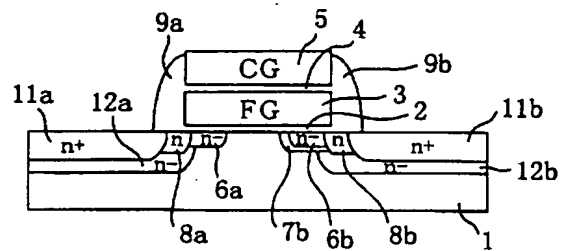
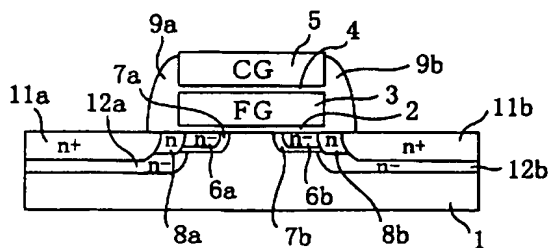


【図11】



【図13】

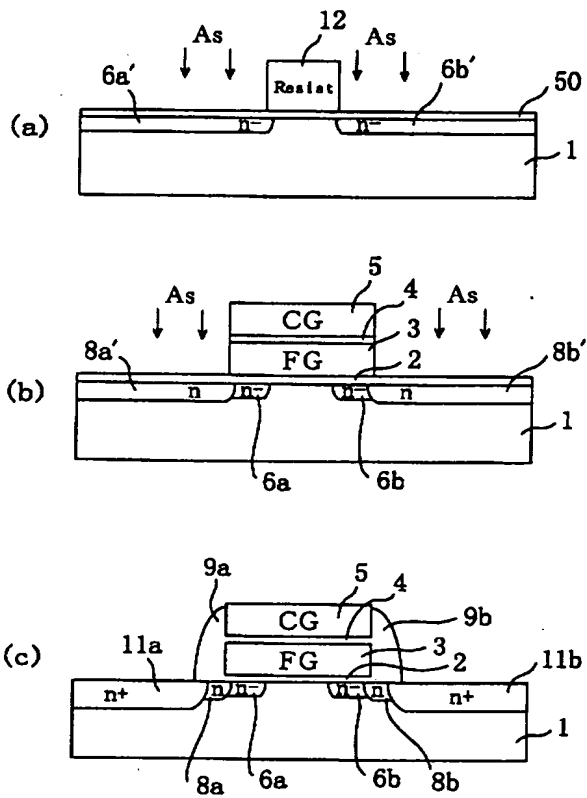
【図12】



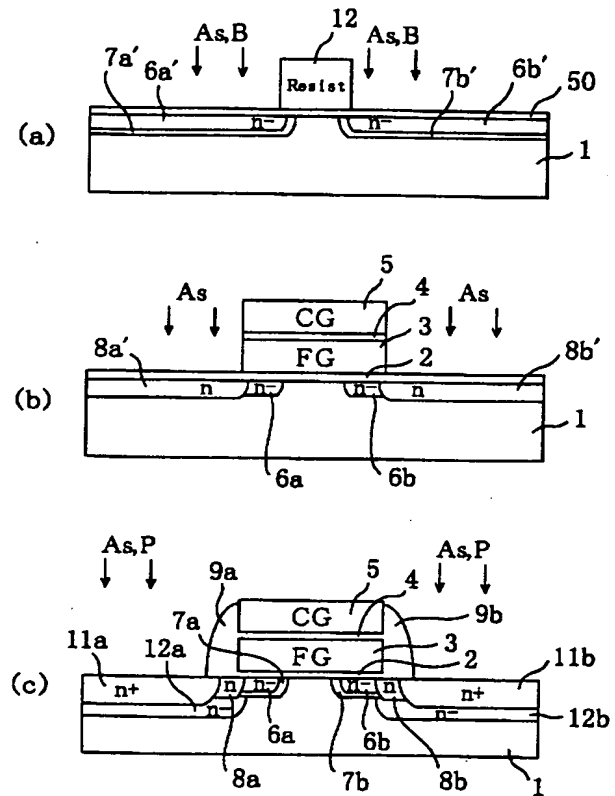




【図16】



【図17】



フロントページの続き

(72) 発明者 堀 敦  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内  
 (72) 発明者 加藤 淳一  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内

(72) 発明者 小田中 紳二  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内  
 (72) 発明者 小椋 正気  
 アメリカ合衆国, ニューヨーク州 12590,  
 ワッピンジャーズ フォールス, オールド  
 ホープウェル ロード 140, ヘイロー  
 エルएसアイ デザイン アンド デバ  
 イス テクノロジー インコーポレイテ  
 ド内